

012491998 **Image available**

WPI Acc No: 1999-298106/199925

XRPX Acc No: N99-224304

Signal line scanning timing control circuit of dot matrix display device
- includes scanning and signal supply modules which respectively scan
display areas on display screen along specific signal lines, for
predetermined time

Patent Assignee: SHARP KK (SHAF)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11102172	A	19990413	JP 97262184	A	19970926	199925 B

Priority Applications (No Type Date): JP 97262184 A 19970926

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 11102172	A		23	G09G-003/36	

Abstract (Basic): JP 11102172 A

NOVELTY - Scanning modules provided corresponding to each display area of a display screen, scan the adjacent display areas along the lines (G0-Gn) for identical timing. Signal supply modules corresponding to each display area supply display signal to the respective area and time extension of the display signal is carried out to scan the area along lines (S1-Sm). DETAILED DESCRIPTION - The intersection of vertically arranged parallel signal lines (S1-Sm) and horizontally arranged parallel signal lines (G0-Gn) form display areas on display screen. The display areas are provided with a pixel electrode via a selection element. The display on the device is made by performing selection drive of the pixel electrode.

USE - In dot matrix display device.

ADVANTAGE - By performing scanning of each screen simultaneously the brightness difference in the divided display area of the screen is eliminated, thereby quality of display screen is improved. DESCRIPTION OF DRAWING(S) - The figure shows block diagram of dot matrix display device. (S1-Sm, G0-Gn) Signal lines.

Dwg.1/23

Title Terms: SIGNAL; LINE; SCAN; TIME; CONTROL; CIRCUIT; DOT; MATRIX;
DISPLAY; DEVICE; SCAN; SIGNAL; SUPPLY; MODULE; RESPECTIVE; SCAN; DISPLAY;
AREA; DISPLAY; SCREEN; SPECIFIC; SIGNAL; LINE; PREDETERMINED; TIME

Derwent Class: P81; P85; T04; U14

International Patent Class (Main): G09G-003/36

International Patent Class (Additional): G02F-001/133

File Segment: EPI; EngPI

06160628 **Image available**

DOT MATRIX DISPLAY DEVICE

PUB. NO.: 11-102172 [JP 11102172 A]
PUBLISHED: April 13, 1999 (19990413)
INVENTOR(s): NABESAWA HIROYUKI
KAWAGUCHI TAKAFUMI
SEO MITSUYOSHI
APPLICANT(s): SHARP CORP
APPL. NO.: 09-262184 [JP 97262184]
FILED: September 26, 1997 (19970926)
INTL CLASS: G09G-003/36; G02F-001/133

ABSTRACT

PROBLEM TO BE SOLVED: To attain higher quality of a display screen by controlling scanning orders of scanning lines of both of upper and lower surfaces to eliminate a luminance difference in the dividing boundary part of the both surfaces.

SOLUTION: Scanning orders of scanning lines of both of upper and lower surfaces are allowed to be controlled. Relating to this device, plural first signal lines are divided into $S1-Sm$, $S1'-Sm'$ in the vertical direction and switching elements $M11-Mnm$ whose one ends are connected to intersections of the first signal lines $S1-Sm$, $S1'-Sm'$ and second signal lines $G1-Gn$ are provided for every this division. Scanning signals $VG1-VGn/2$, $VGn-VG(n/2)+1$ are supplied from gate drivers 3, 3' to the switching elements $M11-Mnm$ according to scanning directions $D1$, $D2'$. Then, relating to this device, the driver 3 scans its selection elements in the order of $VG1 \rightarrow VGn/2$ and the driver 3' scans them in the order of $VGn \rightarrow VG(n/2)+1$.

COPYRIGHT: (C)1999, JPO

特開平11-102172

(43) 公開日 平成11年(1999) 4月13日

(51) Int. Cl. ⁶	識別記号	F I
G09G 3/36		G09G 3/36
G02F 1/133	550	G02F 1/133 550

審査請求 未請求 請求項の数15 O L (全23頁)

(21) 出願番号 特願平9-262184

(22) 出願日 平成9年(1997) 9月26日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 鍋澤 弘之

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 川口 登史

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 瀬尾 光慶

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

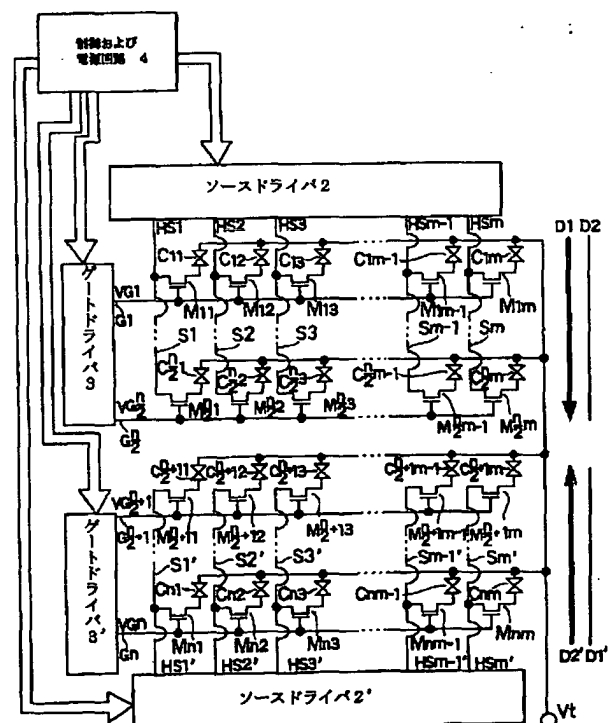
(74) 代理人 弁理士 佐野 静夫

(54) 【発明の名称】 ドットマトリクス表示装置

(57) 【要約】

【課題】 表示画面を上下に分割して各画面を同時に走査するドットマトリクス表示装置において、画面の分割境界部における輝度差をなくし、表示画面の高品質化を図る。

【解決手段】 表示画面1を上下に分割して、上下両表面をゲートドライバ3、3'で同時に走査するドットマトリクス表示装置において、上下両画面の分割境界部に位置する隣接した両走査線G3、G0'を同一タイミングで走査するが、映像信号の垂直同期信号の位相をずらせて走査するように上下両画面の走査順序を制御し、上記両走査線G3、G0'の輝度差を解消して、上下両画面の分割境界部の表示品位を向上させる。



【特許請求の範囲】

【請求項 1】 垂直方向に延び、平行に配設された複数の第 1 の信号線と、水平方向に延び、平行に配設された複数の第 2 の信号線とを設け、これらの第 1、第 2 の信号線の各交点にそれぞれ選択素子を介して画素電極を設け、該画素電極を選択駆動することにより表示を行うドットマトリクス表示装置において、上記第 1 の信号線を垂直方向に且つ上記第 2 の信号線と並行に複数等分に分割して、表示画面を上下方向に複数等分に分割した複数の表示領域を形成し、上記各表示領域毎の第 2 の信号線を同一時間帯に走査するとともに、隣接する上記表示領域の境界部分に位置する第 2 の信号線を実質的に同一タイミングで走査する上記各表示領域に対応した複数の走査回路を設け、表示信号を上記表示領域の分割数に応じて時間軸伸張し、分割した上記各表示領域に対応する時間軸伸張した表示信号を、分割した上記各表示領域の第 1 の信号線に供給する上記各表示領域に対応した複数の信号供給回路を設けたことを特徴とするドットマトリクス表示装置。

【請求項 2】 上記走査回路は上記複数の表示領域のうち、隣接する表示領域の境界部分における各第 2 の信号線を、上記隣接する表示領域の各フレームの走査タイミングの始点として走査し、順次上記境界部分より離間する方向に各第 2 の信号線の走査を行うようにしたものであることを特徴とする請求項 1 に記載のドットマトリクス表示装置。

【請求項 3】 上記走査回路は、上記複数の表示領域のうち、隣接する表示領域の境界部分における第 2 の信号線の走査を、上記隣接する表示領域の各フレームの走査のタイミングの終点として走査し、順次上記境界部分より離間した位置より境界部分の方向に各第 2 の信号線の走査を行うようにしたものであることを特徴とする請求項 1 に記載のドットマトリクス表示装置。

【請求項 4】 垂直方向に延び、平行に配設された複数の第 1 の信号線と、水平方向に延び、平行に配設された複数の第 2 の信号線とを設け、これらの第 1、第 2 の信号線の各交点にそれぞれ選択素子を介して画素電極を設け、該画素電極を選択駆動することにより表示を行うドットマトリクス表示装置において、上記第 1 の信号線を垂直方向に且つ上記第 2 の信号線と並行に複数等分に分割して、表示画面を上下方向に複数等分に分割した複数の表示領域を形成し、上記各表示領域毎の第 2 の信号線を、隣接する表示領域の境界部分より互いに離間する方向あるいはその逆方向に走査する上記複数の表示領域に対応して設けた複数の走査回路と、上記複数の走査回路に位相の異なる垂直同期信号を出力する垂直同期信号発生回路と、表示信号を上記表示領域の分割数に応じて時間軸伸張し、分割した上記各表示領域に対応する時間軸伸張した表示信号を分割した上記各表示領域の第 1 の信号線に同時に供給する上記各表示領域に対応した複

数個の信号供給回路と、上記画素電極に対応する個々の絵素に与える信号を 1 垂直周期あるいは複数の垂直周期毎に異なる極性に書き込むフレーム反転回路を設けたことを特徴とするドットマトリクス表示装置。

【請求項 5】 上記垂直同期信号発生回路で生成する位相の異なる複数の垂直同期信号間の時間差は、水平周期の整数倍であることを特徴とする請求項 4 に記載のドットマトリクス表示装置。

【請求項 6】 上記垂直同期信号発生回路で生成する位相の異なる複数の垂直同期信号間の時間差は、水平周期の奇数倍であることを特徴とする請求項 4 に記載のドットマトリクス表示装置。

【請求項 7】 上記垂直同期信号発生回路で生成する位相の異なる複数の垂直同期信号間の位相差は、隣接する表示領域に対応した垂直同期信号の垂直帰線期間が重複するように設定されることを特徴とする請求項 4 乃至 6 のいずれかに記載のドットマトリクス表示装置。

【請求項 8】 上記隣接する表示領域の境界部分の両表示領域に位置する第 2 の信号線は、同時に走査されないようにしたことを特徴とする請求項 4 乃至 7 のいずれかに記載のドットマトリクス表示装置。

【請求項 9】 上記隣接する表示領域の境界部分の両表示領域に位置する第 2 の信号線に接続された絵素が同極性に書き込まれている時間は、逆極性に書き込まれている時間より短いことを特徴とする請求項 4 乃至 8 のいずれかに記載のドットマトリクス表示装置。

【請求項 10】 上記選択素子は上記画素電極で構成される各絵素と、対応する第 1 の信号線との間に設けた能動素子であることを特徴とする請求項 1 乃至 9 のいずれかに記載のドットマトリクス表示装置。

【請求項 11】 上記能動素子は非晶質のシリコン薄膜トランジスタであることを特徴とする請求項 10 に記載のドットマトリクス表示装置。

【請求項 12】 上記画素電極で構成される各絵素の一端は 1 枚の導電板より成るコモン電極に接続されていることを特徴とする請求項 1 乃至 11 のいずれかに記載のドットマトリクス表示装置。

【請求項 13】 上記コモン電極には、垂直同期信号かつ/または水平同期信号に同期した矩形波状の電圧が印加されていることを特徴とする請求項 12 に記載のドットマトリクス表示装置。

【請求項 14】 上記第 1 の信号線に信号電圧を供給する複数の信号供給回路は、上記画素電極で構成される各絵素を正負両極に書き込むために必要な電圧の振幅の高々 1/2 のダイナミックレンジを持つ回路であることを特徴とする請求項 13 に記載のドットマトリクス表示装置。

【請求項 15】 上記画素電極で構成される絵素は液晶セルであることを特徴とする請求項 1 乃至 14 のいずれかに記載のドットマトリクス表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、容量性負荷の絵素を持ち、線順次走査で表示を行うドットマトリクス表示装置に係り、特に高精度で大画面の表示に適したドットマトリクス表示装置に関するものである。

【 0 0 0 2 】

【従来の技術】現在ノート P C (Personal Computer) や携帯型 T V のモニタには、薄型軽量で低消費電力の液晶表示装置 L C D (Liquid Crystal Display) が採用されることが多い。

【 0 0 0 3 】 L C D には、T F T (Thin Film Transistor) 方式や S T N (Super Twisted Nematic) 方式などがある。現在量産されている L C D は、この 2 つが主流である。前者は、後者に比べ、製造コストが高くつくけれども、コントラストが高い、表示ムラが少ない、多階調表示に有利、応答速度が速いという特長がある。

【 0 0 0 4 】まず、L C D の構造について駆動回路を中心に説明する。L C D は、複数の液晶セルから構成されている。例えば、V G A (Video Graphic Array) のカラー L C D は、約 9 0 万個の液晶セルを有している。具体的には、カラーフィルタで赤、緑、青の 3 原色に着色された 3 つの液晶セルが 1 つの絵素を構成し、その液晶セルが横 6 4 0 桁×縦 4 8 0 行のマトリクス状に配置されている。このため、液晶セルの総数は、 $6 4 0 \times R G B \times 4 8 0 = 9 2 1, 6 0 0$ 個になる。そして、この液晶セルの集合で、1 つの画像が表示される。

【 0 0 0 5 】図 8 に 6 桁×4 行の T F T L C D の構造を示す。図 8 の (1) は液晶パネル、(2) はソースドライバ、(3) はゲートドライバ、(4) は制御および電源回路、(5) は T F T、(6) は液晶セル、(7) はコモン電極である。なお、ソースドライバ (2) は、データドライバ、カラムドライバ、X ドライバ、列電極駆動回路とも呼ばれる。ゲートドライバ (3) は、スキャンドライバ、ロウドライバ、Y ドライバ、行電極駆動回路とも呼ばれる。

【 0 0 0 6 】液晶パネル (1) には、1 枚のガラス基板上に液晶セル (6) がマトリクス状に形成されている。L C D の駆動回路から見ると、液晶セルは、容量性負荷と考えることができる。各液晶セルは、その容量に印加された電圧に応じて、光学的な性質を変える。ノーマリホワイト方式の L C D では、液晶セルは、その容量を充電すると黒くなり、放電すると白くなる。

【 0 0 0 7 】T F T (5) のソース電極は、ソースバスラインを介してソースドライバ (2) の出力端子に、ゲート電極は、ゲートバスラインを介してゲートドライバ (3) の出力端子に、ドレイン電極は、液晶セル (6) に接続されている。液晶セルのドレイン電極と反対側の端子は、コモン電極 (7) に接続されている。すべての液晶セルのコモン電極は、互いに短絡していて、常に等しい電位に

保たれている。このため、各液晶セルに印加されている電圧は、T F T のドレイン電極の電位で決まる。

【 0 0 0 8 】ソースドライバ (2) は、T F T を介して液晶セルを充放電させるための電圧を出力する駆動回路であり、ゲートドライバ (3) は、T F T のスイッチングを制御する電圧を出力する駆動回路である。制御および電源回路 (4) は、この 2 種類のドライバにタイミング信号と駆動電源電圧などを供給するものである。

【 0 0 0 9 】T F T は、一種のスイッチング素子である。その動作は、n - F E T (Field Effect Transistor) に似ている。現在、大型 L C D には、専ら a - S i (Amorphous Silicon) T F T が使われている。ただし、a - S i T F T は、O n 抵抗が非常に高く (数 M Ω 程度)、性能的に n - F E T に遠く及ばない。ソースドライバの出力端子と液晶セルの間に T F T が介在し、T F T の O n 抵抗と液晶セルの容量が、R C 時定数を持っている。液晶セルの容量は、数 p F 程度なので、1 個の液晶セルを充電するには、数 1 0 [μ sec] 程度の時間を要する。

【 0 0 1 0 】このため、a - S i T F T L C D では、1 水平表示期間内に、横 1 行 (ときには複数行) の液晶セルを同時に充電することで、充電時間を確保している。C R T (Cathode Ray Tube) や poly - S i T F T L C D では、映像信号は、1 ドットずつリフレッシュされるのに対して、a - S i T F T L C D では、1 ライン分の映像信号が一斉にリフレッシュされる。前者を点順次走査、後者を線順次走査という。

【 0 0 1 1 】V G A の L C D では、横 1 行、 $6 4 0 \times R G B = 1 9 2 0$ 個の液晶セルが同時に充電される。しかし、1 9 2 0 個の出力端子を備えた I C の製造や実装は、非現実的である。現在では、1 台の L C D に、出力端子の少ないソースドライバの I C を複数個実装することで、これを実現している。それでも、ソースドライバは、L C D の駆動回路に使われる部材の中で、最も高価なものである。そしてまた、表示品位に最も影響を与える部材である。

【 0 0 1 2 】図 9 にソースドライバのブロック図を示す。ここでは、ソースドライバに映像信号がデジタルで入力されるものとする。図 9 (1 1) はシリアル-パラレル変換器あるいはシフトレジスタ、(1 2) はラッチあるいはフリップフロップ、(1 3) はデジタル-アナログ変換器 (D A C)、(1 4) は出力バッファあるいはオペアンプである。

【 0 0 1 3 】ソースドライバ I C の入力端子のピン数を減らすため、映像信号は、シリアルに入力される。これをシリアル-パラレル変換してラッチした後、D A C からアナログ信号を出力する。液晶セルの充電時間を短縮するため、D A C と出力端子との間に、出力バッファを設け、インピーダンス変換をすることが多い。シリアル-パラレル変換器には、映像信号を、ラッチには、タイミング信号を、D A C には、いわゆる γ 補整用の基準電

圧を、出力バッファには、その駆動電源電圧+Vおよび-Vを供給する必要がある。

【0014】なお、デジタルラッチの代わりにアナログのサンプル&ホールド素子が採用されることもある。その場合、DACは不要である。ただ、アナログ素子を使うと、高速動作と高精度と低コストを両立させるのが困難になる。

【0015】VGAの場合、LCD1台につき1920個の出力バッファが必要になる。このため、DACや出力バッファの設計に、トランジスタ1個の無駄があると、LCD全体では、1920個もの無駄につながる。一方、LCDの映像信号入力端子(図示せず)とシリアル-パラレル変換器の間に、数ゲート程度の無駄や冗長があったとしても、それに起因するコストや消費電力のアップは、ほとんど問題にならない。従って、DACや出力バッファの設計は、非常に重要である。トランジスタ数の削減や、出力バッファのアイドル電流の低減などは、大きな課題である。

【0016】幸い、a-Si TFT LCDのソースドライバの出力バッファは、オーディオ帯域で動作すればよいので、それほど高性能なものは必要ない。スルーレートはそれほど高くないけれども、駆動電源電圧の割に大きなダイナミックレンジがとれ(いわゆるRail-To-Rail出力が可能で)、特に調整しなくても出力偏差の少ないものが使われる。

【0017】ゲートドライバ(3)は、複数のゲートラインの中から、次に充電する行を選択する機能を有している。ゲートラインに、ソース電極やドレイン電極より高い電圧を印加すると、その行に接続されたすべてのTFTがOnし、低い電圧を印加するとTFTはOffする。1垂直表示期間内に、すべての行を選択し終わると、1枚の画像が完成する。

【0018】なお、STN方式のLCDは、TFTのような能動素子やコモン電極を持っていない。液晶セルの一方がソースラインに、他方がゲートラインにダイレクトに接続されている(図なし)。

【0019】次に、LCDの表示品位に影響を及ぼす原因とその対策について述べる。図10はTFT(5)の周辺に浮遊する容量を示す。図10において(5)はTFT、(6)は液晶セル、(7)はコモン電極である。(25)は、ゲートラインとドレイン電極間の浮遊容量CGD、(26)はソースラインとドレイン電極間の浮遊容量CS D、(27)は、隣のソースラインとドレイン電極の間の浮遊容量CSD'、(28)は、ソースラインとコモン電極間の浮遊容量CSCである。

【0020】液晶セルに充電された電荷は、絶縁抵抗を介して徐々に放電する。このため、たとえ静止画像を表示する場合であっても、1垂直周期毎に液晶セルを再充電する必要がある。

【0021】前述したように、液晶セルは、容量性負荷

である。このキャパシタには極性はなく、正に充電しても負に充電しても、その光学的な応答は同じである。むしろ、液晶セルが長時間同じ極性に帯電していると、表示品位が劣化するので好ましくない。ノーマリホワイトのLCDでは、液晶セルに電圧を印加すると黒くなるが、この方式のLCDに黒っぽい画像を長時間表示し続けると、残像(焼き付き)が発生することがある。これは、液晶材料に微量に含まれるイオンが電極に移動して、応答を悪くするためである。

【0022】その対策としては、1垂直周期毎に液晶セルを充電する極性を反転してやればよい。本明細書では、これをフレーム反転と呼ぶ。フレーム反転の結果、各液晶セルには、垂直周期60~70[Hz]の半分の30~35[Hz]の矩形波の交流電圧が印加されることになる。

【0023】ところが、フレーム反転を採用すると、その副作用のために、別の種類の表示品位の低下を招く。いま、図8のLCD全面に、黒一色を表示したとする。ここでは、図の上から下へ、つまり、ゲートラインG0、G1、G2、G3の順に走査するものとする。コモン電極の電位を0[V]と考えたときの、ソースラインS0の電位と、ドレイン電極D00およびD30の電位を図11(a)に示す。なお、この例のソースドライバは、垂直帰線期間中には有効な信号を出力していない。

【0024】液晶セルに充電された電荷は、TFTのOff抵抗や絶縁抵抗(図示せず)を介して徐々にソースラインに放電する。その量は、ソースラインとドレイン電極間の電位差の大きな状態が長時間続けば続くほど多い。また、電荷は、ソースラインの電位が反転するとき、浮遊容量CSDを介してソースラインに逃げる。液晶セルD00は、ソースラインの反転後、即ち電荷が逃げた後、直ちに再充電されるため、その影響を受けにくい。しかし、液晶セルD30は、電荷が逃げた後、しばらく放置されるため、影響を受けやすい。

【0025】ドレイン電極から電荷が逃げる量は、フィールド反転によってソースドライバの出力信号の極性が変わってから、液晶セルの充電が実際に始まるまでの時間で決まる。ソースドライバから液晶セルまでの距離で決まるわけではない。

【0026】この例では、ゲートラインG3の駆動する液晶セルは、ゲートラインG0の駆動する液晶セルより、電荷が逃げやすい。電荷が逃げると、純粋な黒を表現することができず、灰色っぽい表示になる。このため、均一な黒ベタを表示したつもりでも、実際には、画面の下の方ほど灰色がかかるという現象が発生する。本明細書では、これをコントラストの傾斜と呼ぶ。

【0027】コントラストの傾斜を回避するには、1水平周期毎に、液晶セルを充電する極性を反転させてやればよい。そうすれば、ソースラインの電位が頻繁に反転するので画面全体が均一に灰色っぽくなる。少々灰色が

かるという問題は、ソースドライバの出力電圧の振幅を少し上げるだけで解消できる。本明細書では、これをライン反転と呼ぶ。通常、ライン反転は、フレーム反転と併用される。

【0028】ライン反転を採用すると、1水平周期毎にソースラインと共通電極間の浮遊容量CSCの充放電が繰り返されるため、ソースドライバの消費電流が増える。また、クロストークまたはシャドーイングと呼ばれる表示ムラが発生しやすくなる。

【0029】ライン反転をしたときの、ソースラインS 0の電位と、ドレイン電極D00およびD30の電位を図11(b)に示す。ライン反転では、1垂直周期の間にソースラインに印加される電圧の平均値(直流成分)が0になるので、コントラストの傾斜は解消される。しかし、1垂直周期に限って言えば、電圧のp-p(Peak-To-Peak)値が図11(a)より大きくなる。振幅の大きな高周波信号をソースラインに乗せると、CSDを介してドレイン電極の電位が振られ、走査していないはずの液晶セルの印加電圧が乱される。

【0030】ライン反転をすると、1水平周期の2倍の周期の交流信号がソースラインに乗る。ライン反転をしない場合でも、ベタ画面でなければ、同じ周期の交流信号がソースラインに乗るが、信号の振幅が小さいので問題になりにくい。1水平周期毎にソースドライバの出力電圧の極性を反転させると、大きな振幅の交流信号がソースラインに乗ってしまう。

【0031】いま、図8のLCDに、図12のような画像、すなわち、白ベタの中に黒い四角形を表示したいとする。しかし、ソースラインに乗った信号は、ゲートドライバが選択していない液晶セルへも、わずかながらCSDを介して書き込まれる。ソースラインとドレイン電極間が交流的に短絡しているからである。例えば、ゲートラインG1が選択され、液晶セルD12を充電しているとき、D00やD22やD32も少し充電される。その結果、黒い四角形の上下が灰色っぽくなり、図13のように尾を引いたような表示になってしまう。

【0032】これを改善するには、液晶セルの容量を浮遊容量CSDより十分大きくすればよい。しかし、液晶パネル上に大きな容量を作るのは困難である。また、液晶セルの充電に要する時間は、その容量に比例する。液晶セルの充電が不十分になると、やはり表示品位が劣化する。TFTのOn抵抗を下げて充電時間を短縮する方法もあるが、それは、ゲートドライバのコストアップや信頼性の低下を招く。

【0033】ここでは、別の対策を説明する。図10のように、ドレイン電極と隣のソースラインの間には、浮遊容量CSD'(6)が存在する。そこでCSD=CSD'となるように液晶パネルを設計しておき、隣り合うソースラインに逆位相の交流信号を乗せてLCDを駆動するのである。

【0034】今、画面全体に黒ベタを表示したとする。このとき、隣り合うソースラインに、極性違いの映像信号を乗せる。共通電極の電位を0とすると、隣接するソースラインの電位は、符号が異なるけれども、絶対値は同じになる。よって、もしCSD=CSD'ならば、ソースラインの電位の変動が相殺され、ドレイン電極の電位に影響が現れない。

【0035】本明細書では、隣り合うソースラインを異なる極性で駆動することをドット反転と呼ぶ。ドット反転には、ソースラインに乗っている信号が、浮遊容量CSDを介して共通電極の電位に影響を及ぼすのを防止する効果もある。ただし、ドット反転は、後で述べる共通反転駆動方式のLCDでは、使うことができない。

【0036】フレーム反転とライン反転とドット反転を併用すると、図8の6×4=24ドットのLCDの各液晶セルは、図14のような極性で充電される。フレーム反転は、原理的には、静止画を表示した場合にのみ有効である。しかし、動きの遅い動画に対しても、ある程度の効果が期待できる。シーンチェンジの多い映像でも、ほとんど問題は起こらない。ただし、点滅するものを表示すると、効果が半減することがある。

【0037】ライン反転は、ベタ画面を表示した場合に有効である。しかし、直流成分の多い画像に対しても、ある程度の効果が期待できる。実際、映像信号は、普通は、直流成分が多く含まれているものである。だから、ライン反転がその効果を発揮する確率は高い。

【0038】ドット反転は、白、灰、黒のベタ画面に対して有効である。赤、緑、青、シアン、マゼンタ、黄色のベタ画面では、やや効果が落ちる。カラーLCDは、赤、緑、青に着色された3つの液晶セルを、3本のソースラインで同時に充電する方式が主流である。このため、例えば、全面赤一色の表示は、見た目にはベタ画面でも、ソースドライバにとっては、決してベタではない。なお、図12のように白や黒のベタの多い画面なら、ドット反転は、非常に有効であろう。

【0039】ライン反転やドット反転が最も苦手になっているのは、図15のような市松模様の画像である。よく知られているように、これは、最も高い周波数成分を持つ画像である。

【0040】しかし、液晶TVのモニタ用を使う限り、これは、全く問題にならない。アナログTV放送の電波では、事実上、このような画像を送れないためである。ところが、OA(Office Automation)端末のモニタとしては、大きな問題になる。OA機器では、中間調をディザリングによって表現することがある。このとき、条件次第では、ライン反転やドット反転の効果が激減する。実際、Windows 95の終了画面で、著しい表示品位の劣化を招くことがある。

【0041】ディザリングに似たものとして、絵素を高速に点滅させて中間調を表示するFRC(Frame Rate Co

ntrol)と呼ばれる技術がある。これを用いると、フレーム反転の効果が落ちる。その対策として、2垂直周期毎に極性を反転する方式が考えられる。本明細書では、複数の垂直周期毎に極性を反転する駆動方式をフレーム反転に含めて考える。

【0042】近年、液晶パネルの開口率を上げて、LCDの輝度を高くする動きがある。そのため、ドレイン電極が大きくなり、ソースラインとドレイン電極の間の距離が年々短くなっている。それに反比例してCSDが増加し、表示品位に与える影響が無視できなくなっている。

【0043】また、LCDの需要は、より高解像度で高精細の製品にシフトしてきている。LCDの水平方向の解像度を上げるには、ソースドライバの出力端子の総数を増やす必要がある。このとき、ICの実装や映像信号の高速伝送が技術的な課題になるが、表示品位の劣化に結び付くことはない。一方、垂直方向の解像度を上げるには、ゲートドライバの出力端子の総数を増やすとともに、水平周期を短くしなければならない。このとき、今述べた課題に加えて、充電時間の短縮が大きな問題になる。さらに、水平周期が短くなった分、周波数の高い信号がソースラインに乗るので、CSDに関する問題がより大きくなる。

【0044】問題になるのは、ソースラインに乗った信号だけではない。ゲートラインに乗った交流信号も、CGDを介してドレイン電極の電位に影響を与える。いま、ゲートラインの電位が-10[V]のときTFTがOffし、20[V]のときOnするものとする。ゲートラインの電位を-10[V]から20[V]に上げると、CGDが存在するためにドレイン電極の電位も上がる。

【0045】しかし、一度TFTがOnしてしまえば、ソースドライバによるドレイン電極の充電が始まるので、これは問題にならない。逆に、ゲートラインの電位を20[V]から-10[V]に下げると、ドレイン電極の電位も下がる。その直後にTFTがOffするので、このとき、ドレイン電極の電位が下がったままになる。つまり、ソースラインからドレイン電極に折角供給された電荷を、ゲートラインが吸い出してしまうのである。

【0046】しかし、CGDの影響に対する対策は、比較的容易である。ソースラインに乗る信号が表示する映像によって変わるのに対して、ゲートラインに乗る信号は、設計の段階で完全にわかっているからである。しかも、交流信号が流れているのは、VGAなら480本あるゲートラインの内、現在走査している1本だけである。このため、CGDの影響を見越して、あらかじめソースドライバの出力電圧を補整しておくだけで回避できる。

【0047】このように、図10に示す浮遊容量CGD(8)やCSD(9)のため、高周波信号に対して、TFTのスイッチング素子としての働きが悪くなる。なお、ゲートラインとソースライン間の浮遊容量などは、ドレイン

電極の電位に影響を与えないので、図10では省略している。

【0048】次に、コモン反転駆動について説明する。液晶セルの印加電圧と、絵素の輝度の関係の一例を図16に示す。実際の特性は、液晶材料の種類により多少変わる。ここでは、1[V]を印加すると白くなり、5[V]を印加すると黒くなるものとする。0[V]以上1[V]以下の領域と、5[V]以上の領域では、光学特性が飽和している。なお、液晶セルに負の電圧を印加したときは、絶対値が同じで符号が逆の電圧を印加したときと同じ特性を示す。

【0049】液晶セルが図16のような特性を持つ場合、一見、ソースドライバが1[V]以上5[V]以下の電圧を出力できれば、LCDを駆動できるように見える。しかし、極性を反転駆動するには、正負両極性の電圧を出力しなければならないので、実際には、-5[V]以上5[V]以下のダイナミックレンジが必要になる。

【0050】ところが、これでは、標準的な5[V]耐圧のプロセスでソースドライバを製造することができなくなる。10[V]耐圧のプロセスを使うと、ソースドライバのチップサイズの増大を招き、コストアップにつながる。そこで、いわゆるコモン反転駆動が使われることがある。これは、コモン電極の電位を振ってやるものである。

【0051】図17にライン反転とコモン反転駆動を採用したときの水平同期信号、コモン電極の電位、黒の映像信号の電位、白の映像信号の電位を示す。コモン反転駆動では、コモン電極には、図のような矩形波が入力される。この例では、コモン電極の電位を1水平周期毎に3[V]の振幅で振っている。つまり、矩形波の周期は1水平周期の2倍、p-p値は6[V]である。このとき、ソースドライバが4[V]のダイナミックレンジしか有していないにもかかわらず、液晶セルには、±5[V]の電圧が印加されている。

【0052】コモン反転駆動では、ソースドライバの製造コストを押さえられる。また、ソースドライバの出力バッファを4[V]電源で駆動できるので、消費電力も押さえられる。その反面、コモン電極に矩形波を供給する回路が必要になる。また、コモン反転駆動を採用すると、ドット反転ができなくなる。ただし、フレーム反転やライン反転なら可能である。

【0053】これに対して、コモン電極に直流電圧を印加し、素直に10[V]耐圧のプロセスで製造されたソースドライバを用いる方式を、本明細書では、コモン直流駆動と呼ぶことにする。例えば、コモン電極の電位を5[V]一定とし、液晶セルを正極性に充電するときは6～10[V]の電圧を、負極性に充電するときは0～4[V]の電圧をソースドライバから供給すればよい。このときのコモン直流駆動におけるコモン電極の電位、黒の映像信号の電位、白の映像信号の電位を、同じ図17に示す。

【0054】コモン直流駆動では、その特長を生かすため、普通は、ドット反転が行われる。このとき、同じソースドライバICの異なる出力バッファから、正極性の信号と負極性の信号が同時に出力される。

【0055】極性の異なる信号を同時に出力するため、コモン直流駆動のソースドライバ内のDACは、コモン反転駆動のその2倍の規模になり、ICのチップサイズが大きくなる。DACに供給する補整用の基準電圧の数も2倍に増え、ICとプリント回路基板の間の端子の数が増え、実装が難しくなる。また、ソースドライバ

の出力バッファを10[V]電源で駆動するため、バッファで消費される電力も2倍以上に増える。消費電力の多さは、バッテリー駆動の携帯機器のモニタ用途では、特に大きな問題になる。

【0056】コモン反転駆動は、解像度が比較的強くクロストークの問題の少ないLCDや、ドットピッチが細かく実装の難しいLCD(パームトップPC用やプロジェクタ用など)に適している。コモン直流駆動は、大型で高解像度でバッテリー駆動の必要のないLCD(デスクトップPC用など)に適している。ノートPC用では、

現在のところ、コモン反転駆動もコモン直流駆動も一長一短で、どちらも決め手に欠ける。ライン反転ドット反転共に、消費電力の増加を招く要素があるため、どちらが有利であるかは、一概には言えない。

【0057】一方、高解像度で大画面の表示装置を実現するため、水平または垂直ラインの数を多くし画素数を増やすと、1フィールドの時間を伸ばさない限り画素数に比例して各画素を充電する時間が短くなる。しかし各画素を充電するには、最低限必要な時間があり、画素数を多くすると各画素を十分に充電ができなくなることが

ある。このため画素数を十分に多くできない問題があった。

【0058】この問題に対し、特開平7-281648号公報で以下のような技術が提案されている。垂直方向に延ばされ平行に配設された複数の第1の信号線(ソースライン)と、水平方向に延ばされ平行に配設された第2の信号線(ゲートライン)とが設けられ、これらの第1、第2の信号線の各交点にそれぞれ選択素子(TFT)を介して液晶セルが設けられてなる液晶ディスプレイ装置において、上記第1の信号線を垂直方向に2以上に分割し、この分割ごとに上記第2の信号線への信号の供給を独立すると共に、表示信号を上記分割の数に応じて時間軸伸長して分割した第1の信号線に供給する。これによれば、表示信号を時間軸伸長して供給することによって液晶セルの充電時間を相対的に伸長させることができ、これによって画素数の増加を可能にすることができる。

【0059】例として、第1の信号線を2分割し、6桁×4行の表示装置を2台並べて作った6桁×8行の表示装置について説明する。図18に示すように垂直方向に

延ばされ平行に配設された複数の第1の信号線を垂直方向にS0~S5とS0'~S5'に分割する。

【0060】そしてこの分割した第1の信号線S0~S5、S0'~S5'と第2の信号線G0~G3、G0'~G3'との交点に、一端を接続したNチャンネルFETからなるスイッチング素子(5)を設け、このスイッチング素子(5)にゲートドライバ(3)、(3')から走査信号VG0~VG3とVG0'~VG3'が走査方向D1a、D2aに従って供給される。即ち、画面の上半分も下半分も上から下へ走査される。

【0061】各スイッチング素子(5)の他端はそれぞれ液晶セル(6)を通じて対向電極COM端子(7)に接続される。また、ソースドライバ(2)、(2')には制御および電源回路(4)により画面の前半、後半に振り分けられた表示信号が供給され、選択されている第2の信号線に対応する表示信号が図19に示すようにソースドライバ(2)よりHS0~HS5、ソースドライバ(2')よりHS0'~HS5'が出力される。

【0062】この場合に例示する信号は黒の映像信号であり、フィールド反転とライン反転を並用している。このとき走査信号VG0とVG0'は同時に出力され順次選択され、最後にVG3とVG3'が同時に選択された後、次のフィールドに移り、再びVG0とVG0'から走査が始まる。

【0063】これによれば、同時に2つの液晶セルに充電することができるため、同じ1フィールドの時間をのばすことなく、液晶セルに時間軸伸長して充電できることとなる。例では2分割であるが分割数を増やすことにより充電時間の不足を気にせず、更なる画素数の増加を可能にすることができる。また、これによりS-VGA(Super Video Graphic Array)即ち横800桁×縦600行のLCDを駆動する技術を使って、U-XGA(Ultra Extended Video Graphic Array)即ち横1600桁×縦1200行のLCDを実現することができる。

【0064】CRTでこれと同様のことをすると、どうしてもモニタとモニタのつなぎ目が目立つ。しかし、LCDの場合、図18の液晶パネル(1)を、1枚のマザーガラスから取れば、全くつなぎ目のないモニタを作ることができる。パネル中央を横切るソースラインの切れ目は、目には見えないからである。そのため、ユーザは、これを1台のモニタとして何ら違和感なく使うことができる。

【0065】図18のLCDでは、表示画面につなぎ目はないが、駆動回路は、上下に分かれている。そして、液晶パネルの上半分の液晶セルと下半分の液晶セルが、独立に同時に走査される。本明細書では、これを画面の分割走査と呼ぶ。

【0066】図20を用いて、このLCDの応用例を説明する。図の(1)は液晶パネル、(2)および(2')はソースドライバ、(3)および(3')はゲートドライバ、

(4)および(4')は制御および電源回路、(5)はTFT、(6)は液晶セル、(7)および(7')はコモン電極である。図20の(8)は映像信号源、(9)は制御回路、(10)はメモリである。

【0067】例えば、高精細TV放送を受信するモニタなら、(8)はチューナ、(9)は走査方式の変換回路、(10)は画像メモリになる。上記制御回路(9)は、TV局から送られてくる映像信号を、分割走査できるように変換して、制御回路(4)および(4')に振り分けるものである。PC用のモニタなら、(8)はマイクロプロセッサ、(9)はビデオコントローラ、(10)はビデオRAM(Random Access Memory)になる。

【0068】コモン電極(7)および(7')は、図20では細い導線のように描かれているが、実際は、1枚のガラス面上に広がる導電膜である。また、図20に示す液晶パネルの上半分のコモン電極(7)と下半分のコモン電極(7')が短絡している。これは、製造コストを押さえるためである。

【0069】TFTLCDの液晶パネルは、TFTとバスラインを形成したガラス基板と、全面にコモン電極を形成したガラス基板との間に、液晶材料を封じ込めて作られている。前者のガラス基板は、珪が細かい分、製造工程が多く、コストがかかっている。後者のガラス基板は、透明な導電材料のベタパターンを作るだけで済む。そのため、バスラインに少々小細工を加えても、製造設備や工程やコストは、現行品のそれと大差ない。しかし、コモン電極に手を加えると、コストが大きく跳ね上がることになる。1枚のガラス基板全面に導電膜を形成すると、必然的にコモン電極(7)と(7')は、短絡したものになる。

【0070】

【発明が解決しようとする課題】上記従来技術のように、独立した第2の信号線をゲートドライバ(3)、(3')が選択信号VG0とVG0'を同時に出力し、走査方向D1a、D2aに従い順次同方向に走査し、最後にVG3とVG3'が同時に選択され、次のフィールドに移り、再びVG0とVG0'から走査する駆動を行った場合、ゲートドライバ(3)で選択される最後のゲートラインG3につながる液晶セル(6)とゲートドライバ(3')で最初に選択されるゲートラインG0'につながる液晶セル(6)は、分割した境界を挟み、上下で隣り合うが、これらの液晶セルに信号を充電するタイミングが1フレームの1/2の時間、異なる。

【0071】そのため、これらの液晶セルが、一度充電されてから次のフィールドで再び充電されるまでに隣接する第1の信号線S0～S5、S0'～S5'から受ける影響が以下のように異なる。図19は、この場合のタイムチャートを示すもので、フィールド反転とライン反転を併用して黒ベタの表示を行わせる場合のものである。

【0072】対向電極(7)のCOM信号を1フィールド

毎に反転する駆動を例に説明する。1フィールド全て、例えば黒表示等の同一の表示を行った場合、液晶セル(6)全てに同一の表示信号が充電される。そして、ゲートドライバ(3')のゲートラインG0'に接続される液晶セル(6)は、フィールドの最初に、またゲートドライバ(3)のゲートラインG3に接続されるコンデンサ(6)は、フィールドの最後に表示信号が充電される。

【0073】液晶セル(6)全てに同一の表示信号を充電するため、ゲートラインG0'に接続される液晶セル(6)に充電される表示信号のレベルと、ソースラインS0'～S5'の信号レベルは等しい。そのため、ゲートラインG0'に接続される液晶セル(6)が充電された後、ソースラインS0'～S5'から受ける影響は小さく、この液晶セル(6)に充電された表示信号の劣化量は小さい。

【0074】しかし、1フィールドの最後に充電されるゲートドライバ(3)のゲートラインG3に接続された液晶セル(6)は表示信号が充電されると、すぐに次のフィールドに移る。次のフィールドに移ると対向電極(7)のCOM信号が反転し、それに伴い表示信号も反転してしまう。

【0075】そのため、ゲートラインG3に接続される液晶セル(6)に充電された表示信号のレベルとソースラインS0～S5の信号レベルは異なる。従って、ゲートラインG0'に接続された液晶セル(6)がソースラインS0～S5から受ける影響は、ゲートラインG0'～G3'に接続された液晶セル(6)がソースラインS0'～S5'から受ける影響よりも大きく、ゲートラインG3に接続された液晶セル(6)に充電された表示信号の劣化量は大きくなる。

【0076】そのため、垂直(Y軸)方向のラインの境界であるゲートラインG3とG0'に接続された液晶セル(6)では表示が異なる。これは、分割された上下の境界付近のセルでも同じであり、画面全体で見ると分割された境界付近で輝度差を生じることになる。

【0077】このように、画面の上半分も下半分も上から下へ走査し、上半分はゲートラインG0、G1、G2、G3の順に、また下半分はG0'、G1'、G2'、G3'の順に走査すると、画面全面に対して黒の映像信号を入力し、LCDに均一な黒ベタを表示させようとしても図21に示すようにコントラストの傾斜が発生し、分割した上下2画面の境界部分に普段見えなかった継ぎ目が現れるという問題があった。

【0078】これはフレーム反転を採用すると、ソースドライバの出力電圧の極性を反転してから、液晶セルが再充電されるまでの時間が長ければ長いほど、液晶セルから電荷が逃げやすくなりコントラストが低下するからである。ライン反転を併用すれば、直流成分の多い映像信号を表示した場合に限り、コントラストの傾斜が軽減されるが万能ではない。

10

20

30

40

50

【0079】上述するように画面を上下2分割し、上半分も下半分も上から下へ走査したとき、分割した上下両画面の境界部分に生ずるコントラストの傾斜は、2分割した上半分および下半分の画面をそれぞれ境界部分より同時に上半分の画面は上から下へ、また下半分の画面は下から上へ走査して解消することが与えられる。

【0080】この場合、上下両画面の境界部分に位置する各液晶セルは同程度に充電されるので、図21に示すような明確なコントラストの差は生じない。しかし、境界部分に位置する各液晶セルの充電時間は、他の部分に位置する各液晶セルの充電時間より短くなるため、黒ベタを表示させた場合に、この部分は灰色になり多少のコントラストの傾斜が生ずる。このコントラストの傾斜は、画面中央部で横方向に現れるので好ましいものではない。

【0081】このような画面中央部で横方向に現れた灰色のコントラストの傾斜を解消するには、上半分および下半分の画面をそれぞれ境界部分より同時に上半分の画面は下から上へ、また下半分の画面は上から下へ走査することが考えられる。

【0082】この場合、上下両画面の境界部分に位置する各液晶セルは同程度に且つ充分充電されるので、黒ベタ表示の場合、上記のように灰色になることはないが、画面の上下端部、即ち上画面の上端部と下画面の下端部に液晶セルの充電が充分行われない領域が生じ、この部分が黒ベタ表示の場合に灰色になり、画面の上下端部に重要な表示を行いたい場合のさまたげになる。

【0083】一方、上述する上下両画面が隣接した部分に位置する両画面のゲートラインG3とG0'は同時に走査されると、そのために発生する問題が2つある。第1の問題は上述するようにゲートラインG3あるいはG0'に接続された液晶セルだけ、他より明るくまたは暗くなり、輝線または暗線が走って見えることである。

【0084】TFTがOffするとき、つまり、ゲートラインの電位が下がる時、上述するようにゲートラインとドレイン電極間の浮遊容量CGDを介してドレイン電極の電位が影響を受ける。従来の分割走査しないLCDや、図19に示すようなLCDでは、その影響の程度が、どのゲートラインを走査しているときでも等しく、そのために、CGDの影響に対する対策を立てやすかった。

【0085】ところが、ゲートラインG3とG0'が同時に走査されると、その隣接する2本のラインを走査するときと、他の離れた2本のラインを走査するときとは、走査中のゲートライン周辺の電界の分布が大きく異なる。このため、CGDを始めとする浮遊容量の影響の程度が、中央の2ライン付近を走査するときだけ異なることになる。

【0086】LCDの駆動回路を設計するとき、CGDの影響を相殺するために、ソースドライバの出力電圧の値

をあらかじめ補整しておくことがある。ところが、ゲートラインG3とG0'が同時に走査されると、走査しているライン毎にこの補整量を変えなければならない。そうしなければ、画面中央の2ラインだけ、他のラインと輝度が違って見えるという現象が発生する。しかし、補整量を可変にしようとする、LCDの制御回路や補整用の基準電圧を発生する回路が複雑になり、コストや信頼性の問題が起きる。

【0087】第2の問題は、コモン反転駆動のソースドライバでは、1ライン毎に極性を反転するライン反転ができないことである。図22の(a)は、コモン反転駆動のソースドライバで、図18のLCDを駆動するときの信号波形の例である。この図でも、ソースドライバからは、黒の映像信号が出力されているものとする。この例では、フィールド反転とライン反転を併用している。コモン反転駆動を採用した場合、上半分を担当するソースドライバ(2)と、下半分を担当するソースドライバ(2')からは、常に同じ極性の信号が出力されることになる。

【0088】このとき、液晶セルに印加される電圧の極性を図23に示す。上述する図22(a)では、画面中央の2本のラインG3とG0'が、正しくライン反転できていないことがわかる。すると、ゲートラインG3とG0'に接続された液晶セルの周辺にできる電気力線は、他の液晶セルのそれと異なるものになる。液晶セルは、液晶材料の分子が、電気力線の方を向くことを利用した絵素であるから、これは、致命的である。つまり、これも、中央の2ラインだけ明るくまたは暗くなる原因になるのである。

【0089】なお、例えば、図18のゲートラインG0上の液晶セルを充電し終えた直後、すなわち、G1上の液晶セルを充電し始める直前、G0上の液晶セルとG1上の液晶セルが同じ極性に帯電している。しかし、この時点から1水平周期も経過すれば、G1上の液晶セルは、G0上の液晶セルと逆極性に充電される。このような一時的に発生する異常は、目に見える不具合にはならない。

【0090】一方、上記図22(a)の異常は、一時的なものではない。不具合の原因は、隣り合うゲートラインG3とG0'に接続された液晶セルが、どちらも同じ極性に充電され、しかも、その状態が長期間続くことにある。

【0091】図22(b)は、ゲートラインG3とG0'上の液晶セルを異なる極性で充電するものである。この場合、液晶パネルの上半分のコモン電極(図20の(7))と下半分のコモン電極(図20の(7'))に、位相の異なる矩形波を供給する必要がある。したがって、上下2つのコモン電極の間が短絡していると、この方式は使えない。ところが、既に述べたように、2つのコモン電極を電氣的に切り離そうとすると、コストアップを招く。

10

20

30

40

50

【0092】また、図20のソースドライバ(2)と(2')を異なる電源電圧で駆動する方法も考えられる。しかし、その場合、制御回路(4)とソースドライバ(2)の間に、あるいは、(4')と(2')の間に、デジタル信号のレベルシフタが必要になるなど、新たなコストアップや信頼性の問題が発生する。

【0093】もちろん、素直にコモン直流駆動方式を採用するのは、この第2の問題の単純明快な解決策である。しかし、この方式は、ソースドライバの消費電力の増加とコストアップを招くものである。また、設計上、ドット反転の必要性の薄い液晶パネルを、わざわざコモン直流駆動のソースドライバで駆動するのは、コストパフォーマンスの点で好ましくない。

【0094】本発明は、かかる状況を鑑みてなされたものである。即ち、画面の上半分と下半分の走査方向を逆にしても、中央に輝線または暗線の走らない、分割走査方式の高精細LCDを提供するものである。

【0095】

【課題を解決するための手段】本発明は上記の課題を解決するため、次のような手段で構成する。請求項1のドットマトリクス表示装置は、垂直方向に延び、平行に配設された複数の第1の信号線と、水平方向に延び、平行に配設された複数の第2の信号線とを設け、これらの第1、第2の信号線の各交点にそれぞれ選択素子を介して画素電極を設け、該画素電極を選択駆動することにより表示を行うドットマトリクス表示装置において、上記第1の信号線を垂直方向に且つ上記第2の信号線と並行に複数等分に分割して、表示画面を上下方向に複数等分に分割した複数の表示領域を形成し、上記各表示領域毎の第2の信号線を同一時間帯に走査するとともに、隣接する上記表示領域の境界部分に位置する第2の信号線を実質的に同一タイミングで走査する上記各表示領域に対応した複数の走査回路を設け、表示信号を上記表示領域の分割数に応じて時間軸伸張し、分割した上記各表示領域に対応する時間軸伸張した表示信号を、分割した上記各表示領域の第1の信号線に供給する上記各表示領域に対応した複数の信号供給回路を設けたことを特徴とする。

【0096】請求項2のドットマトリクス表示装置は、請求項1のドットマトリクス表示装置において、上記走査回路は上記複数の表示領域のうち、隣接する表示領域の境界部分における各第2の信号線を、上記隣接する表示領域の各フレームの走査タイミングの始点として走査し、順次上記境界部分より離間する方向に各第2の信号線の走査を行うようにしたものであることを特徴とする。

【0097】請求項3のドットマトリクス表示装置は、請求項1のドットマトリクス表示装置において、上記走査回路は、上記複数の表示領域のうち、隣接する表示領域の境界部分における第2の信号線の走査を、上記隣接

する表示領域の各フレームの走査のタイミングの終点として走査し、順次上記境界部分より離間した位置より境界部分の方向に各第2の信号線の走査を行うようにしたものであることを特徴とする。

【0098】請求項4のドットマトリクス表示装置は、垂直方向に延び、平行に配設された複数の第1の信号線と、水平方向に延び、平行に配設された複数の第2の信号線とを設け、これらの第1、第2の信号線の各交点にそれぞれ選択素子を介して画素電極を設け、該画素電極を選択駆動することにより表示を行うドットマトリクス表示装置において、上記第1の信号線を垂直方向に且つ上記第2の信号線と並行に複数等分に分割して、表示画面を上下方向に複数等分に分割した複数の表示領域を形成し、上記各表示領域毎の第2の信号線を、隣接する表示領域の境界部分より互いに離間する方向あるいはその逆方向に走査する上記複数の表示領域に対応して設けた複数の走査回路と、上記複数の走査回路に位相の異なる垂直同期信号を出力する垂直同期信号発生回路と、表示信号を上記表示領域の分割数に応じて時間軸伸張し、分割した上記各表示領域に対応する時間軸伸張した表示信号を分割した上記各表示領域の第1の信号線に同時に供給する上記各表示領域に対応した複数の信号供給回路と、上記画素電極に対応する個々の絵素に与える信号を1垂直周期あるいは複数の垂直周期毎に異なる極性に書き込むフレーム反転回路を設けたことを特徴とする。

【0099】請求項5のドットマトリクス表示装置は、請求項4のドットマトリクス表示装置において、上記垂直同期信号発生回路で生成する位相の異なる複数の垂直同期信号間の時間差は、水平周期の整数倍であることを特徴とする。

【0100】請求項6のドットマトリクス表示装置は、請求項4に記載のドットマトリクス表示装置において、上記垂直同期信号発生回路で生成する位相の異なる複数の垂直同期信号間の時間差は、水平周期の奇数倍であることを特徴とする。

【0101】請求項7のドットマトリクス表示装置は、請求項4乃至6のドットマトリクス表示装置において、上記垂直同期信号発生回路で生成する位相の異なる複数の垂直同期信号間の位相差は、隣接する表示領域に対応した垂直同期信号の垂直帰線期間が重複するように設定されることを特徴とする。

【0102】請求項8のドットマトリクス表示装置は、請求項4乃至7のドットマトリクス表示装置において、上記隣接する表示領域の境界部分の両表示領域に位置する第2の信号線は、同時に走査されないようにしたことを特徴とする。

【0103】請求項9のドットマトリクス表示装置は、請求項4乃至8記載のドットマトリクス表示装置において、上記隣接する表示領域の境界部分の両表示領域に位

置する第 2 の信号線に接続された絵素が同極性に書き込まれている時間は、逆極性に書き込まれている時間より短いことを特徴とする。

【0104】請求項 10 のドットマトリクス表示装置は、請求項 1 乃至 9 のドットマトリクス表示装置において、上記選択素子は上記画素電極で構成される各絵素と、対応する第 1 の信号線との間に設けた能動素子であることを特徴とする。

【0105】請求項 11 のドットマトリクス表示装置は、請求項 10 のドットマトリクス表示装置において、上記能動素子は非晶質のシリコン薄膜トランジスタであることを特徴とする。

【0106】請求項 12 のドットマトリクス表示装置は、請求項 1 乃至 11 のドットマトリクス表示装置において、上記画素電極で構成される各絵素の一端は 1 枚の導電板より成るコモン電極に接続されていることを特徴とする。

【0107】請求項 13 のドットマトリクス表示装置は、請求項 12 のドットマトリクス表示装置において、上記コモン電極には、垂直同期信号かつ/または水平同期信号に同期した矩形波状の電圧が印加されていることを特徴とする。

【0108】請求項 14 のドットマトリクス表示装置は、請求項 13 のドットマトリクス表示装置において、上記第 1 の信号線に信号電圧を供給する複数個の信号供給回路は、上記画素電極で構成される各絵素を正負両極に書き込むために必要な電圧の振れ幅の高々 1/2 のダイナミックレンジを持つ回路であることを特徴とする。

【0109】請求項 15 のドットマトリクス表示装置は、請求項 1 乃至 14 のドットマトリクス表示装置において、上記画素電極で構成される絵素は液晶セルであることを特徴とする。

【0110】(作用) 請求項 1 の構成によれば、選択素子を走査する順序を制御することにより、分割された第 1 の信号線の境界で隣り合う表示セルは、同一タイミングで信号を充電されるため、一度充電された液晶セルが次のフィールドで充電されるまでに隣接する第 1 の信号線から受ける影響が分割された上下の境界で同じになる。そのため、第 1 の信号線の分割境界部の輝度差を解消することができる。

【0111】請求項 2 の構成によれば、上下に分割した表示画面の境界部分より上画面は下より上へ、また下画面は上より下へ同一タイミングで走査するので、上記境界部分で隣接する走査線の各表示セルは同程度で且つ十分に充電され、画面中央部に位置する分割境界部で輝度差が生ずることがなく、しかも充電不足による他の領域との間の輝度差が生ずることもない。

【0112】請求項 3 の構成によれば、上下に分割された表示画面の境界部分より上画面は上より下へ、また下画面は下より上へ同一タイミングで走査するので、上記

境界部分で隣接する走査線の各液晶セルは同程度に充電される。従って、この境界部分で輝度差は生じることがない。また、上記境界部分で隣接する走査線の表示セルは充電時間が短くなるため、他の領域との間の輝度差が多少生じるが、画面の上下端部、即ち上画面の上端部および下画面の下端部の表示セルは共に充分充電されるので、画面の上下端部における他の領域との間の輝度差が生じることはない。

【0113】請求項 4 乃至 15 の構成によれば、上下に分割した表示画面に供給する映像信号の位相を垂直同期信号が 1 水平同期期間の整数倍だけずれるように設定している。従って、上記上下両画面の境界部分で隣接する両画面の端部の走査線が同時に走査されることがなく、適度に位相をずらせるて走査させることができる。また、コモン電極を映像信号の水平あるいは垂直同期信号に同期したパルス印加する 1 枚の電極で構成することができる。これにより、上記上下両画面の境界部分で隣接する両画面の端部の走査線に輝度差が生ずることがなくなり、上下に分割した表示画面の表示品位の低下を抑制することができるとともに、第 1 の信号線を駆動する信号供給回路のダイナミックレンジを表示絵素に必要な電圧の 1/2 にすることができる。

【0114】また、上下両画面の映像信号の垂直帰線期間が重なるようにして、この垂直帰線期間の重なっている期間にフレーム反転を行うようにしているので、フレーム反転に伴う走査ラインの輝線や暗線が発生することもない。

【0115】また、上記両画面に供給する垂直同期信号のずれを 1 水平同期期間の奇数倍に設定するので、上下両画面の境界部で隣接する両画面の端部の走査線に接続された絵素が同極性に充電されることがなくなり、容量性負荷より成る表示絵素、特に液晶セルの劣化を防止することができる。

【0116】また、上記上下両画面の境界部で隣接する両画面の端部の走査線に接続された絵素を同極性に書き込む時間より逆極性に書き込む時間の方が長くなるように、上記両垂直同期信号の位相のずれを設定するので液晶セルより成る表示絵素の劣化を防止することができる。

【0117】また、第 1 および第 2 の信号線の交換部に設けた画素電極を選択する選択素子は、アモルファスシリコンあるいはポリシリコンより成る TFT 等で構成した能動素子にしているので、高速で且つコントラストの優れたドットマトリクス表示装置を得ることができる。

【0118】

【発明の実施の形態】

(実施形態 1) 本実施形態 1 は請求項 1, 2, 10, 11, 12, 13, 14 および 15 に関係し、表示画面を上下に複数分割して、上画面は上から下へ、また下画面は下から上へ同時に走査し、分割境界部での輝度差をなくすもの

である。表示信号を供給する第 1 の信号線を 2 分割し、表示画面に上下に 2 分割した場合の例を説明する。

【0 1 1 9】図 1 は本実施形態 1 の構成図である。図 1 に示すように垂直方向に延ばされ、平行に配設された複数の第 1 の信号線を垂直方向に $S1 \sim Sm$ と $S1' \sim Sm'$ に分割し、この分割ごとに第 1 の信号線 $S1 \sim Sm$ 、 $S1' \sim Sm'$ と第 2 の信号線 $G1 \sim Gn$ との交点に一端を接続した N チャンネル FET からなるスイッチング素子 $M11 \sim Mnm$ を設け、このスイッチング素子 $M11 \sim Mnm$ にゲートドライバ (3)、(3') から走査信号 $VG1 \sim VGn/2$ と $VGn \sim VG(n/2)+1$ が走査方向 $D1$ 、 $D2'$ に従って供給される。スイッチング素子 $M11 \sim Mnm$ の他端はそれぞれ液晶セル $C11 \sim Cnm$ を通じて対向電極 COM 端子 (7) に接続される。

【0 1 2 0】また、ソースドライバ (2)、(2') には制御および電源回路 (4) により画面の前半、後半に振り分けられた表示信号が供給され、選択されている第 2 の信号線に対応する表示信号が図 2 のタイミングチャートに示すようにソースドライバ (2) より $HS1 \sim HSm$ 、ソースドライバ (2') より $HS1' \sim HSm'$ が出力される。

【0 1 2 1】ゲートドライバ (3)、(3') の選択素子を走査する順序をゲートドライバ (3) は $VG1 \sim VGn/2$ の順に、ゲートドライバ (3') は、 $VGn \sim VG(n/2)+1$ の順に走査することにより、分割境界部の液晶セル $C(n/2) \cdot 1 \sim C(n/2) \cdot m$ と $C\{(n/2)+1\} \cdot 1 \sim C\{(n/2)+1\} \cdot m$ は、同一タイミングで充電されることになる。これにより、上に述べた液晶セルが第 1 の信号線から受ける影響は、液晶セル $C(n/2) \cdot 1 \sim C(n/2) \cdot m$ と $C\{(n/2)+1\} \cdot 1 \sim C\{(n/2)+1\} \cdot m$ では、同じとなる。そのため、第 1 の信号線の分割境界部の輝度差を解消することができる。

【0 1 2 2】上記のように本実施形態によると、分割境界部の液晶セル $C(n/2) \cdot 1 \sim C(n/2) \cdot m$ と $C\{(n/2)+1\} \cdot 1 \sim C\{(n/2)+1\} \cdot m$ は同一タイミングで充電されるので、この分割境界部では、輝度差はなくなるが、これらの液晶セルは 1 垂直期間の最後に充電された後、直ちに放電され、再充電は次の垂直期間の最後になるため、他の水平ラインの液晶セルに比べ、輝度が多少低下することがある。これは黒ベタ表示を行わせた場合に、上記分割境界部に他の水平ラインに比べて輝度の低い灰色がかった横縞として現れる場合があるという問題を残している。

【0 1 2 3】なお、図 1 に示す実施形態は表示画面を上下に 2 分割するものであるが、複数分割する場合も同様に実施することができる。また、ドットマトリクス表示装置として液晶表示装置を例示しているが、表示セルが容量性の絵素である他の表示装置においても同様に実施することができる。また、例示した液晶表示装置の従来技術として周知の部分の構成については説明を省略している。これらは、以下の各実施形態の説明において同じである。

【0 1 2 4】(第 2 実施形態) 本実施形態 2 は請求項 1、

3、1 0、1 1、1 2、1 3、1 4 および 1 5 に関係し、表示画面を上下に複数分割して、上画面は下から上へ、また下画面は上から下へ走査し、分割境界部での輝度差をなくすものである。本実施形態 2 の構成は図 1 に示す実施形態 1 の構成に比べ、ゲートドライバ (3)、(3') の構成を除いて同一である。

【0 1 2 5】図 1 を用いて説明すると、垂直方向に延ばされ、平行に配設された複数の第 1 の信号線を垂直方向に $S1 \sim Sm$ と $S1' \sim Sm'$ に分割し、この分割ごとに第 1 の信号線 $S1 \sim Sm$ 、 $S1' \sim Sm'$ と第 2 の信号線 $G1 \sim Gn$ との交点に一端を接続した N チャンネル FET からなるスイッチング素子 $M11 \sim Mnm$ を設け、このスイッチング素子 $M11 \sim Mnm$ にゲートドライバ (3)、(3') から走査信号 $VG1 \sim VGn/2$ と $VGn \sim VG(n/2)+1$ に走査信号が供給される。

【0 1 2 6】この走査信号の走査方向は上述する実施形態 1 の場合の $D1$ 、 $D2'$ とは逆向きの $D2$ 、 $D1'$ であって、ゲートドライバ (3) は第 2 の信号線を $Gn/2 \rightarrow G1$ の方向へ、またゲートドライバ (3') は第 2 の信号線 $G(n/2)+1 \rightarrow Gn$ の方向へ走査する。また、スイッチング素子 $M11 \sim Mnm$ の他端はそれぞれ液晶セル $C11 \sim Cnm$ を通じて対向電極 COM 端子 (7) に接続される。

【0 1 2 7】また、ソースドライバ (2)、(2') には制御および電源回路 (4) により画面の前半、後半に振り分けられた表示信号が供給され、選択されている第 2 の信号線に対応する表示信号がソースドライバ (2) より $HS1 \sim HSm$ 、ソースドライバ (2') より $HS1' \sim HSm'$ が出力される。ゲートドライバ (3)、(3') の選択素子を走査する順序は、図 3 に示すように、ソースドライバ (2) で駆動される画面を走査するゲートドライバ (3) のゲートラインは $G3 \rightarrow G2 \rightarrow G1 \rightarrow G0$ の順で走査され、ソースドライバ (2') で駆動される画面を走査するゲートドライバ (3') のゲートラインは $G0' \rightarrow G1' \rightarrow G2' \rightarrow G3'$ の順に走査される。

【0 1 2 8】上記のような走査を行うことにより、分割境界部の液晶セル $C(n/2) \cdot 1 \sim C(n/2) \cdot m$ と $C\{(n/2)+1\} \cdot 1 \sim C\{(n/2)+1\} \cdot m$ は、同一タイミングで充電されることになる。これにより、上に述べた液晶セルが第 1 の信号線から受ける影響は、液晶セル $C(n/2) \cdot 1 \sim C(n/2) \cdot m$ と $C\{(n/2)+1\} \cdot 1 \sim C\{(n/2)+1\} \cdot m$ では、同じとなる。そのため、第 1 の信号線の分割境界部の輝度差を解消することができる。

【0 1 2 9】本実施形態 2 においては、分割境界部の液晶セル $C(n/2) \cdot 1 \sim C(n/2) \cdot m$ と $C\{(n/2)+1\} \cdot 1 \sim C\{(n/2)+1\} \cdot m$ は同一タイミングで且つ十分な時間充電されるため、上述する実施形態 1 で述べた分割境界部の上記液晶セルが他の部分の液晶セルより充電時間が短くなるためのコントラストの傾斜が生じる恐れがない。しかし、この場合は上半分の画面の上端部および下半分の画面の下端部で、図 4 に示すようなコントラストの傾斜が生じ

る恐れがある。このコントラストの傾斜は画面の縦目には現れず、使用頻度の高い画面の中央部のコントラストの低下はないので使い易いものになる。

【0 1 3 0】(実施形態 3)本実施形態 3 は、請求項 4 乃至 1 5 に関係し、表示画面を上下に複数に分割して隣接する画面で走査信号に位相差を持たせ、分割境界部での輝度差をなくすものである。

【0 1 3 1】表示信号を供給する第 1 の信号線を 2 分割して、表示画面を上下に 2 分割した場合の例を説明する。

【0 1 3 2】本実施形態 3 の構成を図 5 に示す。図 5 において、上述する実施形態 1、2 の構成を示す図 1 に対応する部分には同一の符号を付し、説明を省略する。図 5 が図 1 と相違する点は、映像信号源(20)からの映像信号に基づき、制御回路(21)でメモリ(22)を用いて垂直同期信号の位相がずれた 2 つの映像信号を作り、この 2 つの映像信号を制御および電源回路(40)、(40')でそれぞれ映像信号と同期信号に分離し、映像信号はそれぞれソースドライバ(2)、(2')へ、また同期信号はそれぞれゲートドライバ(3)、(3')に供給して

【0 1 3 3】この場合、本実施形態のゲートドライバ(3)、(3')による上下両画面の走査方向は、上述する実施形態 1、2 に示すいずれの方向であってもよい。即ち、ゲートドライバ(3)、(3')は第 2 の信号線を $G1 \rightarrow Gn/2$ 、 $Gn \rightarrow G(n/2)+1$ へあるいは $Gn/2 \rightarrow G1$ 、 $G(n/2)+1 \rightarrow Gn$ の方向へ走査する。しかし、上下両画面の上記走査は、上記両画面の映像信号の両垂直同期信号に位相差を持たせることにより、位相のずれた両走査信号 $VG1 \sim VGn/2$ 、 $VG(n/2)+1 \sim VGn$ を作り、この走査信号

【0 1 3 4】以下、図 6 を用いて本実施形態 3 を説明する。図 6 は、コモン直流駆動方式における各同期信号のタイミングと、ソースドライバの出力電圧を示したものである。上述するように図 5 の制御および電源回路(40)、(40')に位相の異なる垂直同期信号(各々 $Vsync$ および $Vsync'$)が入力される。つまり、制御回路(40')に入力される垂直同期信号および映像信号は、制御回路(40)に入力されるそれより 2 水平周期遅れている。このため、ゲートライン $G3$ と $G0'$ が、同時に走査されることはない。なお、これは、コモン直流駆動方式の実施例であるから、液晶パネルの上半分のコモン電極と、下半分のコモン電極を短絡しても問題ない。

【0 1 3 5】ところで、1 あるいは 2 水平周期の時間差をつけた程度では、画面中央の輝線や暗線が解消されない場合があり得る。次に、2 つの垂直同期信号にどの程度の時間差をつけられるか説明する。本実施形態のコモン直流駆動方式の LCD の場合は、コモン電極の電位が一定なので非常に簡単である。 $Vsync$ と $Vsync'$ の位相差に特に制限はない。1 水平周期の何倍ずらしても問題は

ない。1 水平周期の整数倍でなくてもよい。

【0 1 3 6】極端な場合、 $Vsync$ と $Vsync'$ の位相を $180'$ ずらしてもよい。例えば、U-XGA の分割走査方式の LCD なら、横 1600 桁 \times 縦 600 行 \times 上下 2 画面の構成をしているので、 $Vsync$ と $Vsync'$ を 1 水平周期の 300 倍ずらしてもよい。 $Vsync$ と $Vsync'$ の位相差を $\pm 180'$ にすれば、図 5 のゲートドライバ(3)の走査するゲートラインと、同じ時刻にゲートドライバ(3')の走査するゲートラインが、物理的に至近距離に存在することによる弊害が、最大限に緩和される。

【0 1 3 7】ただし、このとき、別の原因による表示品位の低下を招くおそれがある。ゲートライン $G3$ 上の液晶セルを充電してから、ゲートライン $G0'$ 上の液晶セルを充電するまでの時間と、 $G0'$ 上の液晶セルを充電してから、 $G3$ 上の液晶セルを充電するまでの時間が、ほぼ等しくなる。つまり、 $G3$ 上の液晶セルと $G0'$ 上の液晶セルが、同じ極性に帯電している時間と、異なる極性に帯電している時間とが等しくなる。このため、隣接するゲートライン $G3$ と $G0'$ 上の液晶セルが、1 垂直周期の半分は、同じ極性に帯電していることになる。そして、隣接するゲートライン上の液晶セルを同じ極性で充電したまま長期間放置すること起因する表示不良が出る。

【0 1 3 8】もし、 $Vsync$ と $Vsync'$ の位相差が $0'$ なら、つまり、実施形態 1 あるいは 2 の場合には、表示品位への影響は、全く正反対になる。すなわち、至近距離のゲートラインを同時に走査することによる弊害が大きくなり、至近距離のゲートラインを長時間同一極性に帯電させることによる弊害が小さくなる。

【0 1 3 9】したがって、本発明を実施する場合、 $Vsync$ と $Vsync'$ の位相差は、 $-180'$ 以上 $180'$ 以下で $0'$ でない値の中から、最適なものを選べばよい。その最適値は、駆動する液晶パネルの設計に依存する。

【0 1 4 0】本実施形態 3 では、図 6 に示すように、ゲートライン $G1$ と $G0'$ が同時に走査される。その 2 本のゲートライン間の距離は、3 ラインである。なお、 $G0$ と $G1'$ も同時に走査されるが、その距離は 5 ラインなので、こちらの 2 本を走査しているときの方がマージンが大きい。また、ドレイン電極 $D30$ と $D00'$ が同じ極性に帯電する時間は、1 垂直周期当たり 2 水平周期ある。逆に、異なる極性に帯電するのは、1 垂直周期当たり 4 水平周期ある。

【0 1 4 1】(実施形態 4)本実施形態 4 は請求項 4 乃至 1 5 に関係し、上述する実施形態 3 と同様、表示画面を上下に複数分割し、隣接する画面で走査信号に位相差を持たせ、分割境界部での輝度差をなくすものであるが、実施形態 3 はコモン電極を直流駆動にしたものであるのに対して、本実施形態 4 はコモン電極を反転駆動させた場合のものである。

【0 1 4 2】本実施形態 4 の表示パネルの構成は、上述

10

20

30

40

50

する実施形態 3 と実質的に同じであるので図 5 を用いて説明する。

【0143】図 7 は本実施形態 4 に用いるコモン反転駆動方式での各同期信号のタイミングと、ソースドライバの出力電圧と、コモン電極に印加される矩形波の波形を示したものである。

【0144】図 5 の制御および電源回路(40')に入力される垂直同期信号および映像信号は、制御および電源回路(40)に入力されるそれより 1 水平周期遅れている。このため、ゲートライン G3 と G0' が、同時に走査 10 されることはない。また、液晶パネルの上半分のコモン電極に供給される矩形波の位相が、下半分のそれと同じなので、上下 2 つのコモン電極を短絡しても問題ない。

【0145】この実施形態 4 においても、ゲートライン G3 と G0' の走査に、1 あるいは 2 水平周期の時間差をつけた程度では、画面中央の輝線や暗線が解消されない場合が考えられる。次に、上記 2 つの垂直同期信号 V G 3 と V G 0' にどの程度の時間差をつけられるか説明する。

【0146】コモン反転駆動方式の LCD の場合、もし、画面上半分と下半分のコモン電極が短絡していないなら、コモン直流駆動の場合と同じように考えることができる。ここでは、両者は短絡しているものとする。

【0147】まず、Vsync と Vsync' の時間差は、1 水平周期の整数倍でなければならない。ソースドライバの出力電圧の極性を反転するとき、コモン電極の電位も反転しなければならないからである。

【0148】さらに、図 7 に示すように、Vsync の垂直帰線期間の一部と、Vsync' の垂直帰線期間の一部が重なっていないなければならない。そして、Vsync も Vsync' も帰線期間に入ったときを見計らってフィールド反転しなければならない。垂直表示期間中にフィールド反転すると、反転したとき走査中のラインが、輝線や暗線となって現れるおそれがあるからである。画面の上半分も下半分も垂直帰線期間中にフィールド反転するためには、Vsync と Vsync' が同時に垂直帰線期間に入る瞬間がなければならない。

【0149】また、隣接するゲートライン G3 と G0' 上の液晶セルを異なる極性に充電するには、Vsync と Vsync' の時間差は、1 水平周期の奇数倍でなければならない。時間差が偶数倍であると、隣接するゲートライン G 3 と G 0' 上の液晶セルが同極性で充電されるので好ましくない。上述する実施形態 3 の場合のコモン直流駆動方式の LCD であると、コモン電極の電位を反転する必要がないので、以上の条件を考慮する必要はない。上半分と下半分の画面のコモン電極が短絡していない場合は、両者に異なる電圧を印加できるので、やはり、以上の条件を考慮する必要はない。

【0150】また、図 7 に示す本実施形態 4 では、垂直帰線期間が 2 水平周期しかないので、前記条件を満たそ

うとすると、かなり窮屈な設計になる。しかし、垂直帰線期間は、数 10 水平周期程度存在するのが普通なので、実際には、位相差を選択する余地は、かなり残されている。前記条件下においても、ほとんどの場合、要求される画質を満足させる位相差を見つけることができる。

【0151】なお、本実施形態において、図 5 に示す制御および電源回路(40)と(40')は、2 つに分かれているが、これらを同じ IC パッケージにまとめてもよいし、同じ IC チップ上に作ってもよい。また、Vsync と Vsync' の一方から他方をカウンタなどで作るのは容易であるから、映像信号源から LCD に、片方を伝送するだけでもよい。その他、上半分の駆動回路と下半分のそれとで、例えば γ 補整用の基準電圧源など共用できる回路は共用することが好ましい。

【0152】

【発明の効果】以上説明したように、本発明によれば、容量性負荷の表示絵素で構成した表示画面を上下に分割して、線順次走査で同時に駆動するドットマトリクス表示装置において、上下両面の走査線の走査順序を制御することにより、上記上下両画面の分割境界部分における上画面側と下画面側の隣接する走査線の輝度差を解消することができ、高精細、高品位の表示を行わせることができる。

【0153】また、映像信号の各フレーム毎に、上記上画面は上から下へ(あるいは下から上へ)走査し、下画面は下から上へ(あるいは上から下へ)走査することにより、上記分割境界部分における上下両画面の隣接する走査線の絵素が信号の充放電に関して同一条件で駆動されることになるので、この隣接する両走査線の輝度差を解消することができ、上下両画面の分割境界部分の表示品位を向上させることができる。

【0154】また、上記上下両画面を駆動する映像信号の位相をずらせ、上画面を走査するタイミングと下画面を走査するタイミングをずらせるようにするので、各表示絵素に影響する浮遊容量の影響の程度が、上記分割境界部分における上下両画面の隣接する走査線だけ異なることによる輝線または暗線の発生を抑制することができ、上下両画面の分割境界部分の表示品位を向上させることができる。

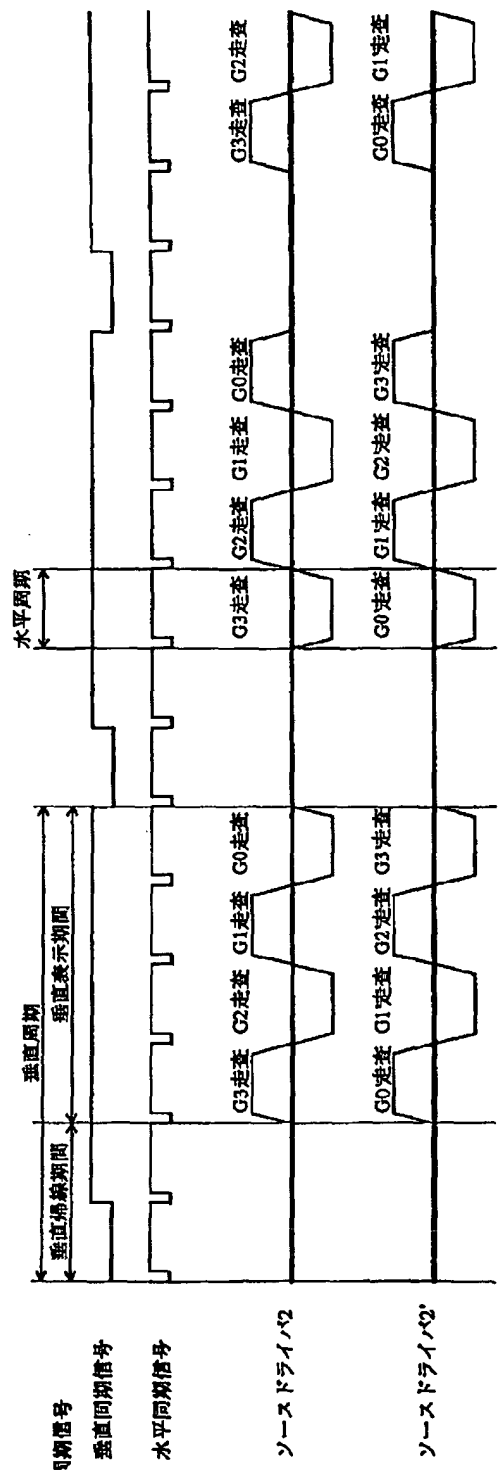
【0155】更に、上記の上下両画面を走査するタイミングを映像信号の水平周期信号の奇数倍だけずらせることにより、上画面と下画面を駆動する両ドライバが同一極性の信号を出力する場合でも 1 ライン毎のライン反転を採用することができ、上記の表示品位の向上を安定して行わせることができる。

【図面の簡単な説明】

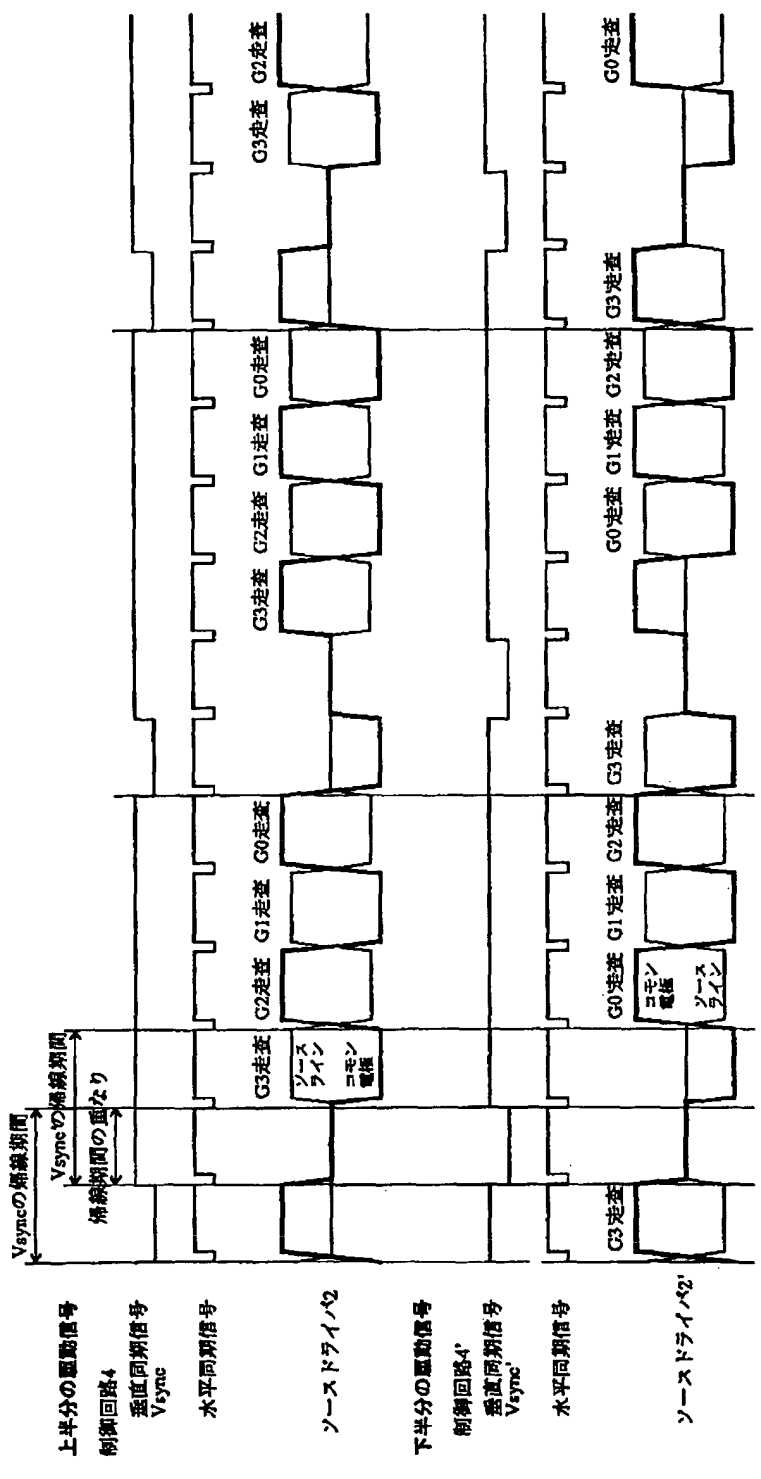
【図 1】 本発明の構成図である。

【図 2】 本発明の実施形態 1 の動作説明に用いるタイムチャートである。

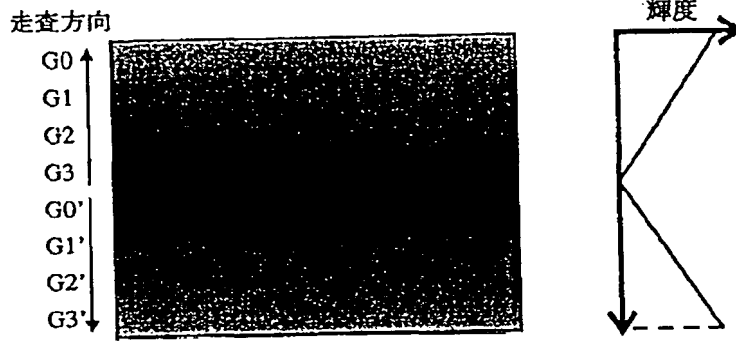
【図 3】



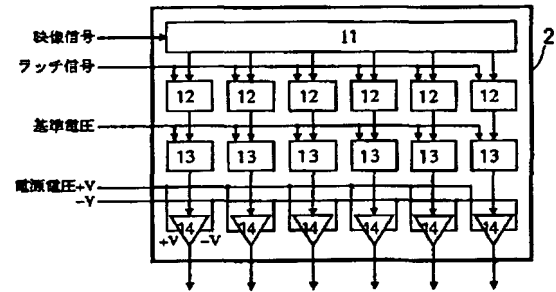
【図 7】



【図 4】

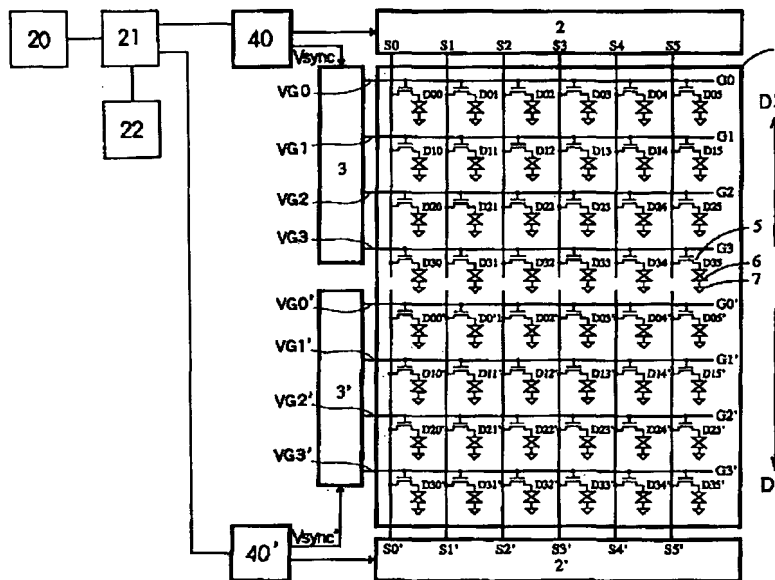


【図 9】



【図 12】

【図 5】

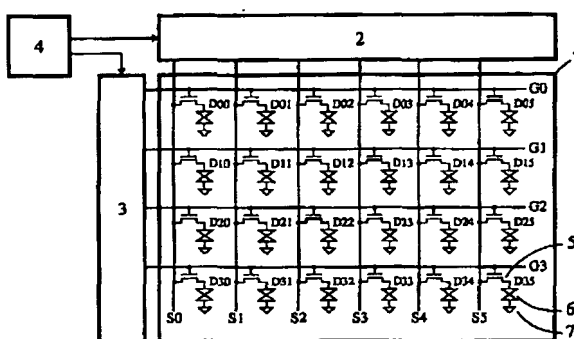


D00	D01	D02	D03	D04	D05
白	白	白	白	白	白
D10	D11	D12	D13	D14	D15
白	白	黒	黒	白	白
D20	D21	D22	D23	D24	D25
白	白	黒	黒	白	白
D30	D31	D32	D33	D34	D35
白	白	白	白	白	白

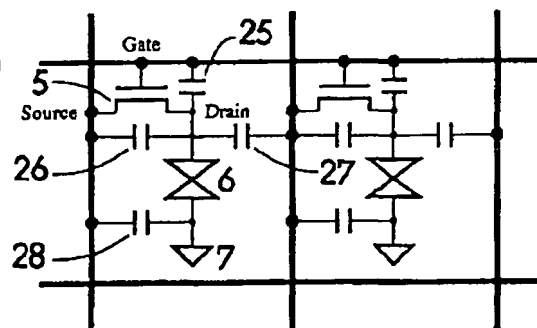
【図 15】

白	黒	白	黒	白	黒	白	黒
黒	白	黒	白	黒	白	黒	白
白	黒	白	黒	白	黒	白	黒
黒	白	黒	白	黒	白	黒	白
白	黒	白	黒	白	黒	白	黒
黒	白	黒	白	黒	白	黒	白

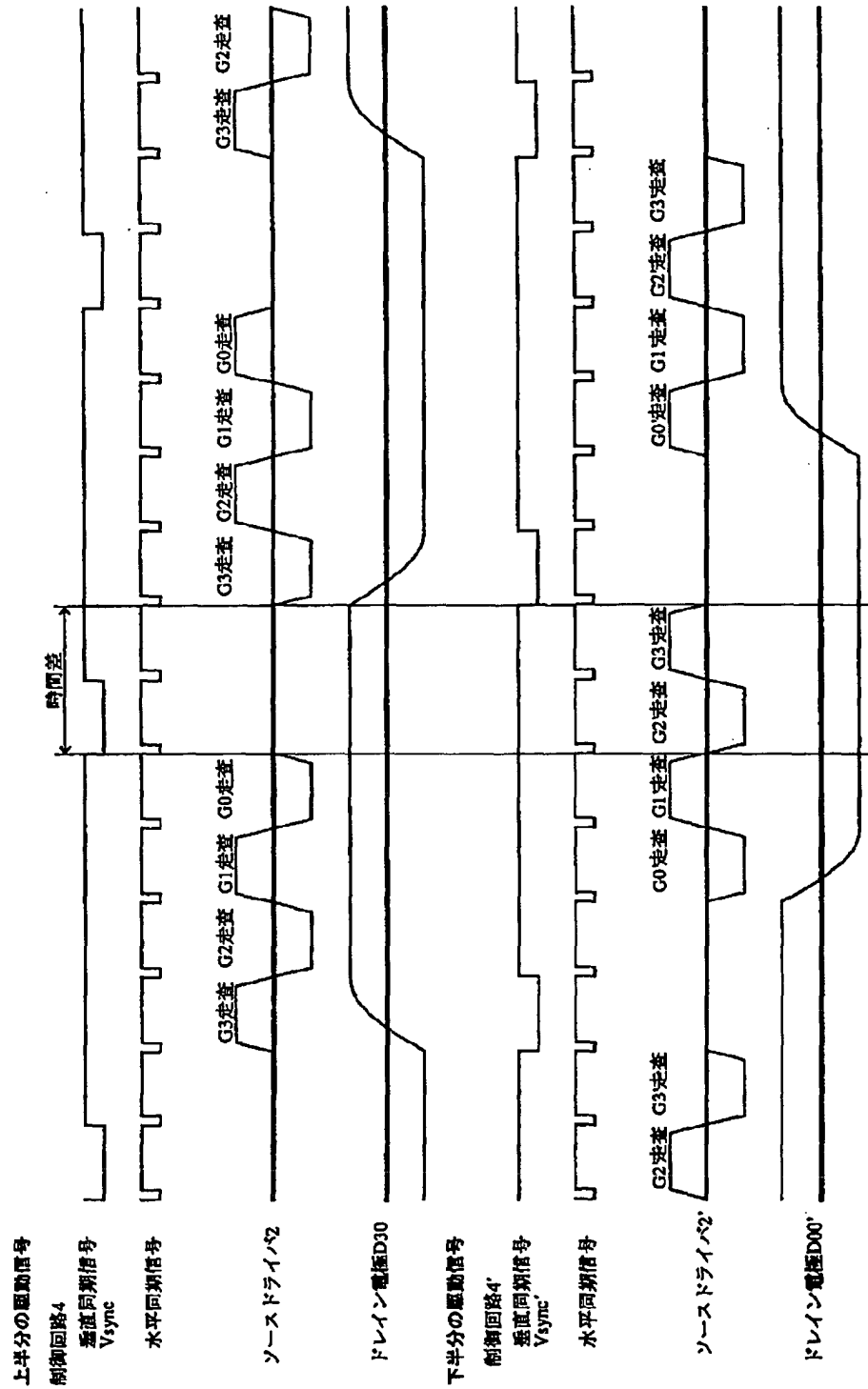
【図 8】



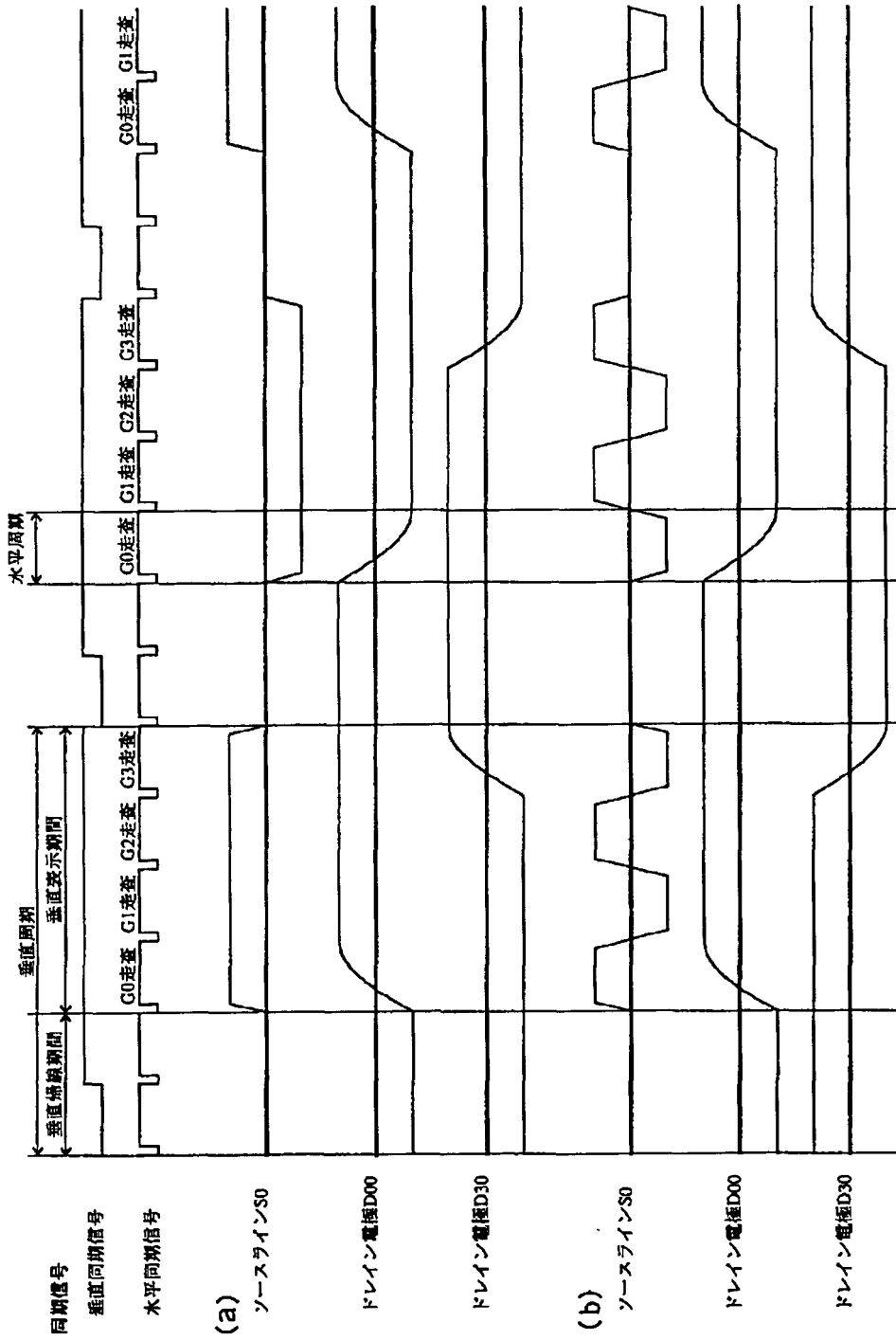
【図 10】



【図6】



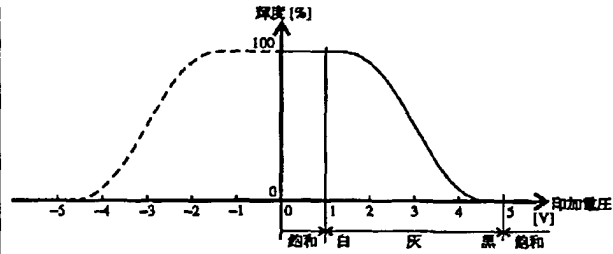
【 図 1 1 】



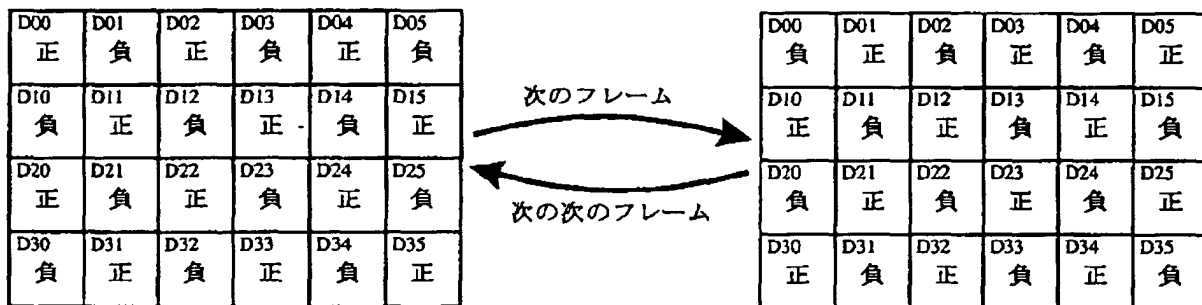
【図 13】

D00	白	D01	白	D02	灰	D03	灰	D04	白	D05	白
D10	白	D11	白	D12	黒	D13	黒	D14	白	D15	白
D20	白	D21	白	D22	黒	D23	黒	D24	白	D25	白
D30	白	D31	白	D32	灰	D33	灰	D34	白	D35	白

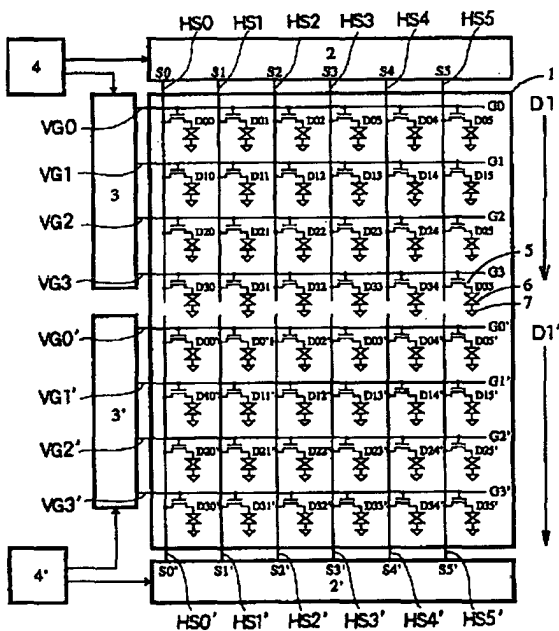
【図 16】



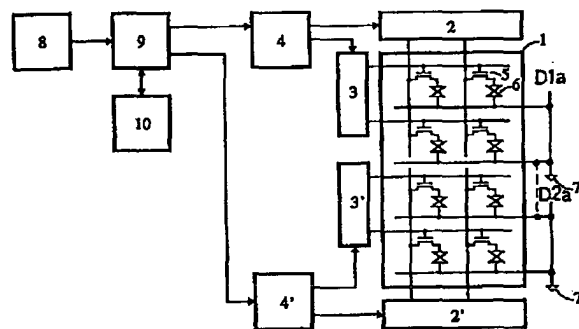
【図 14】



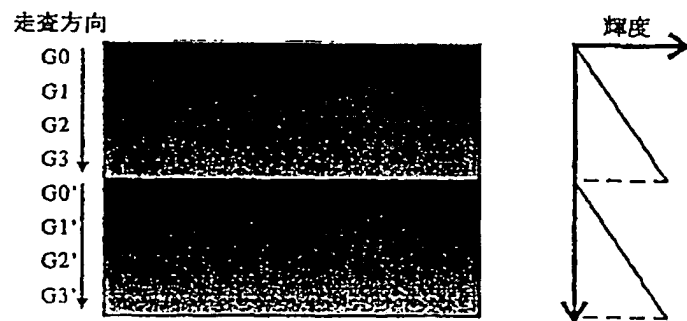
【図 18】



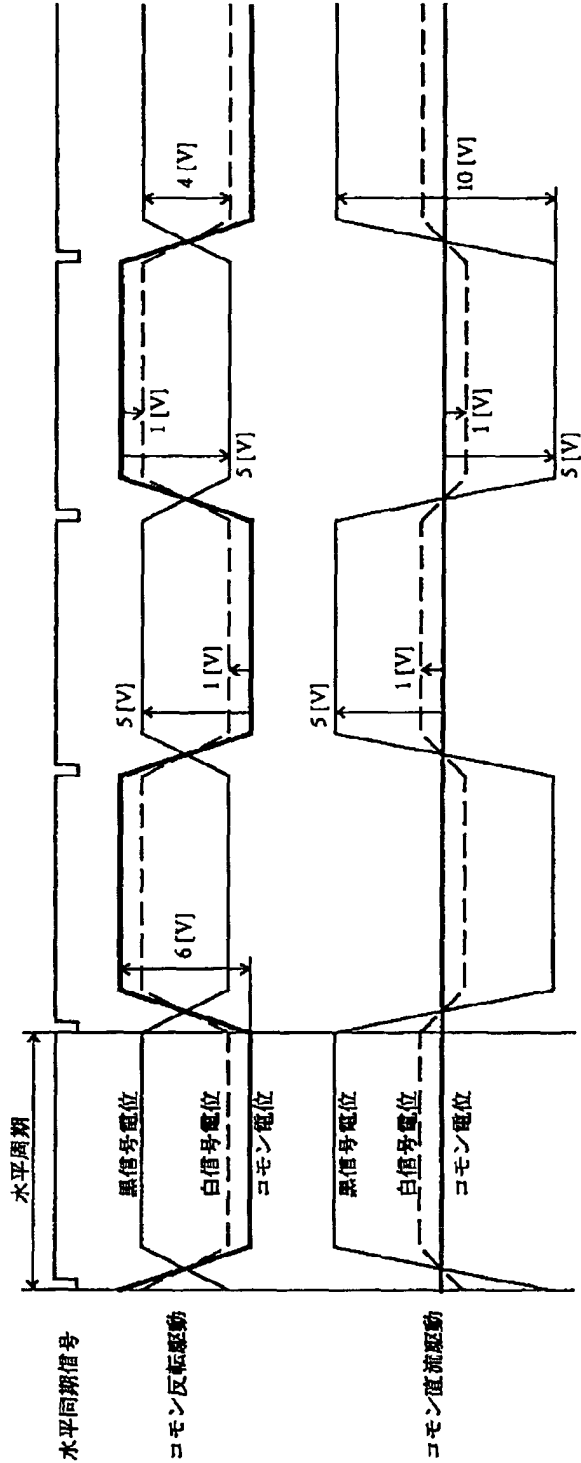
【図 20】



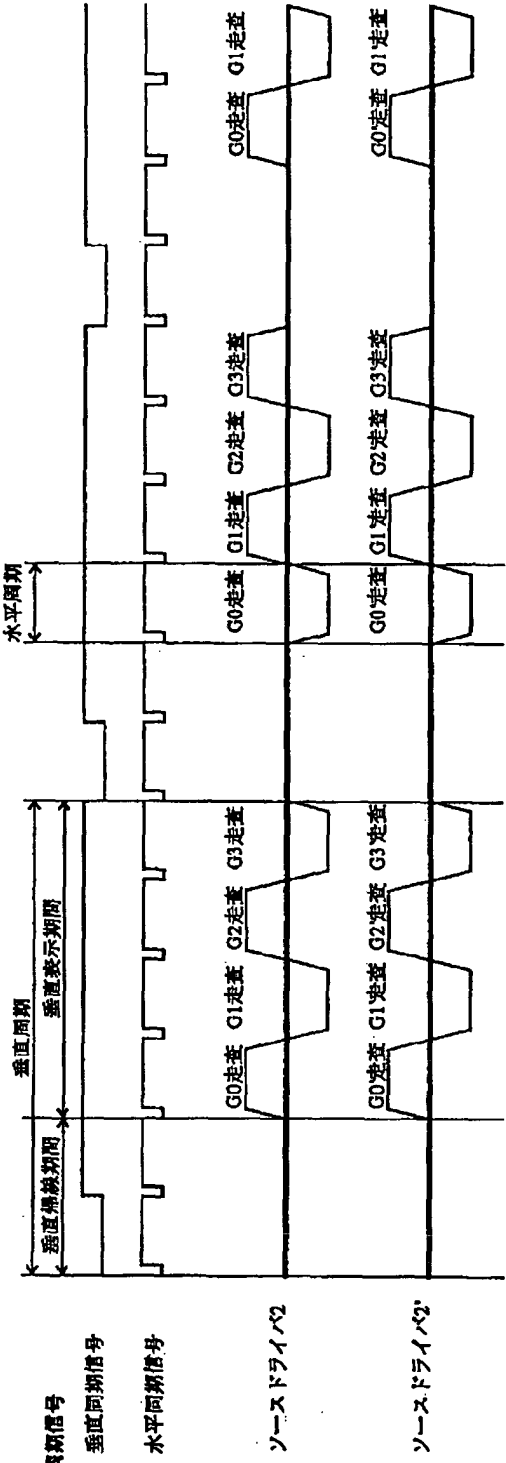
【図 21】



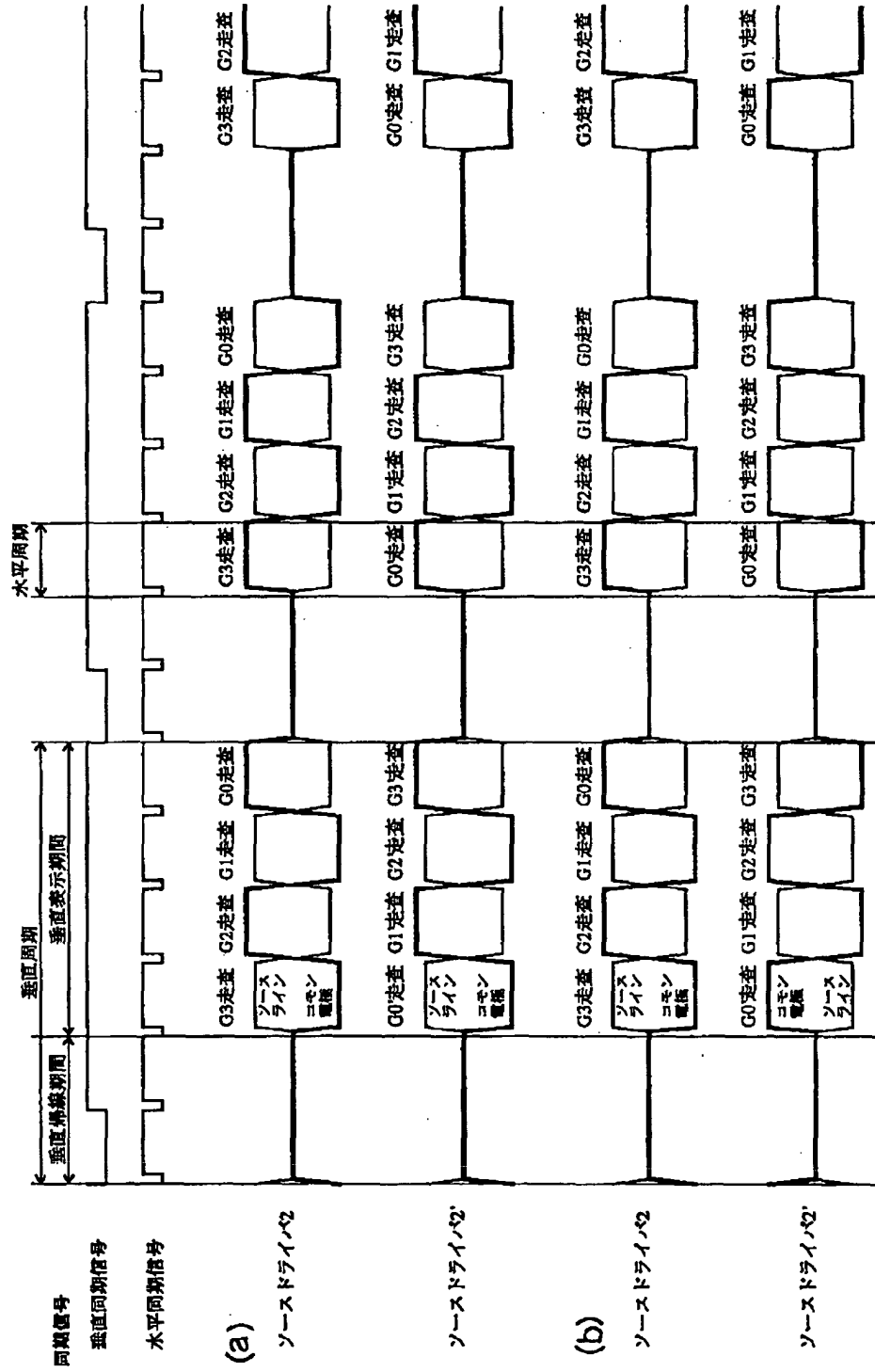
【図 1 7】



【図 1 9】



【図 22】



【図 2 3】

